

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-066938

(43)Date of publication of application : 05.03.2003

(51)Int.Cl. G09G 5/00
G09G 5/36
// G09G 3/36

(21)Application number : 2001-255361

(71)Applicant : SHARP CORP

(22)Date of filing : 24.08.2001

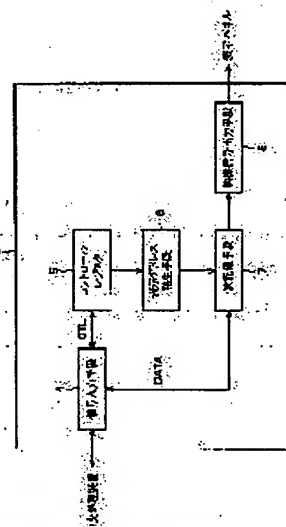
(72)Inventor : KOJIMA KICHIHEI
NAKATANI HIRONORI
WATANABE YASUYUKI
SAKAMOTO AKIRA

(54) DISPLAY CONTROLLER, DISPLAY CONTROL METHOD AND IMAGE DISPLAY SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a display controller small in mounting area and power consumption and capable of lessening the burden on the processing of a central processing unit performing editing processing of image data.

SOLUTION: A color data signal DATA and a control signal CTL are input from the central processing unit, and an address conversion parameter included in the control signal CTL is stored to a control register 5. A display address generation means 6 converts an address to generate a display address on the basis of the address conversion parameter, and the color data signal DATA is stored to a primary storing means 7 on the basis of the display address. Thereafter, a video signal is output to a display panel through a video signal output means 8.



LEGAL STATUS

[Date of request for examination]

18.06.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The display controller which characterizes by to have the display address-generation means is the display controller which inputs the address-translation parameter which shows the conversion approach of the address of each pixel in image data and this image data, and outputs a video signal from an external device to a display panel, and generate the display address in a display panel based on the above-mentioned address-translation parameter, and the video-signal output means output the above-mentioned image data as a video signal based on the display address generated by the above-mentioned display address-generation means.

[Claim 2] The display controller according to claim 1 characterized by having further the control register which stores temporarily the address translation parameter inputted from the above-mentioned external device.

[Claim 3] The display controller according to claim 1 or 2 characterized by memorizing the above-mentioned image data to the applicable address in the primary above-mentioned storage means based on the display address which was further equipped with primary storage means which consist of memory which has an address space corresponding to the address in the above-mentioned display panel, and which was generated with the above-mentioned display address generation means.

[Claim 4] Claims 1 and 2 characterized by the above-mentioned address translation parameter including the information about the include angle which rotates the inputted image data, and/or the information about whether right-and-left reversal is carried out, or a display controller given in three.

[Claim 5] A display controller given in claim 1 characterized by the above-mentioned address translation parameter including the information about the start address at the time of displaying the inputted image data on the above-mentioned display panel, and the information about the dot width of face of the longitudinal direction of the inputted image data, and a lengthwise direction thru/or any 1 term of 4.

[Claim 6] A display controller given in claim 1 characterized by the above-mentioned address translation parameter including the information about the number of dots of the above-mentioned display panel thru/or any 1 term of 5.

[Claim 7] A display controller given in claim 1 characterized by the display address generated by the above-mentioned display address generation means being what expressed with the 1-dimensional format thru/or any 1 term of 6.

[Claim 8] The display-control approach which is the display-control approach in the display controller which inputs the address-translation parameter which shows the conversion approach of the address of each pixel in image data and this image data, and outputs a video signal from an external device to a display panel, and is characterized based on the above-mentioned address-translation parameter by to have the step which generates the display address in a display panel, and the step which output the above-mentioned image data as a video signal based on the display address generated by the above-mentioned display address-generation means.

[Claim 9] The image display system characterized by having the display panel which displays an image on claim 1 which inputs image data and an address translation parameter, and outputs a video signal from the central processing unit which performs edit processing of image data, and the above-

mentioned central processing unit thru/or any 1 term of 7 based on the video signal outputted from the display controller and the above-mentioned display controller of a publication.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the display controller which performs especially address translation of image data about indicating equipment drive control of a liquid crystal display, EL indicating equipment, etc.

[0002]

[Description of the Prior Art] For example, the display of the various electronic equipment constituted by a liquid crystal display etc. has been high-performance-ized every year. For example, not only a still picture but a movie display is required also for the contents which it is required as display engine and for performance that the Takashina tone should be displayed more and are displayed. The amount of information needed for a display has also been increasing with advanced features of such a display.

[0003] The system which displays is constituted by the display control which performs the display control of a display, the display which actually displays based on the indicative data sent from the central processing unit which performs various information processing, and a central processing unit. In such a system, when amount of information increases with advanced features of the above displays, the burden of the image processing in a central processing unit will increase.

[0004] Then, in order to mitigate the burden of a central processing unit, the inclination to construct a system so that the function of the image processing currently processed in the central processing unit may be processed with a display control has become strong. For example, the display system which performs the image processing for displaying the image of a portrait format in a landscape format with a display control is indicated by JP,2000-89748,A etc. Here, a portrait format is a format that the die length of the length of an image is longer than the horizontal die length, and a landscape format is a format as for which the die length beside an image has become longer than the vertical die length. Below, this display system is explained.

[0005] Drawing 13 is the block diagram showing the outline of the example of a configuration of the above-mentioned display system. As shown in this drawing, this display system has composition equipped with the liquid crystal controller 52 as a central processing unit 51 and a display control, and the display panel 53 as a display. Moreover, the liquid crystal controller 52 is equipped with the address translation section 54, the primary storage section 55, and a control section 56. In addition, in this display system, the liquid crystal display panel is assumed as a display panel.

[0006] From the central processing unit 51, the display address-data signal AD corresponding to the

address of each pixel in color data signal DATA of each pixel in the image which should be displayed, and a display panel 53, and the control signal CTL showing the rotation information on a display image are outputted towards the liquid crystal controller 52. The display address-data signal AD and a control signal CTL are inputted into the address translation section 54 among these signals, and color data signal DATA is inputted into the primary storage section 55.

[0007] The display address-data signals AD are X and an address signal with the two-dimensional coordinate of Y. Moreover, a control signal CTL is a signal which shows the information that an image is rotated 90 degrees in order to display the image of for example, a portrait format in a landscape format. And based on the rotation information shown with a control signal CTL, the address translation section 54 into which these signals are inputted carries out single address [every] address translation of the two-dimensional address data of each pixel of the display address-data signal AD, and sends the address data after conversion to the primary storage section 55.

[0008] In the primary storage section 55, processing which writes color data signal DATA sent from the central processing unit 51 in the address with which it corresponds in memory is performed based on the address data by which address translation was carried out in the address translation section 54. And based on control of a control section 56, the data of the address corresponding to each pixel of a display panel 53 memorized by the primary storage section 55 are read, and it is outputted towards a display panel 53 as a video signal IMG. Based on the inputted video signal IMG, a display panel 53 drives each pixel in a liquid crystal display, and displays an applicable image.

[0009]

[Problem(s) to be Solved by the Invention] In the display system shown in drawing 13, the display address-data signal AD is transmitted towards the liquid crystal controller 52 from the central processing unit 51. This display address-data signal AD is X and an address signal which consists of a two-dimensional coordinate of Y as mentioned above. For example, when the resolution of a display panel 53 is 120x160, the address signal corresponding to the pixel whose number is one serves as data whose X is 7 bits and 15 bits whose Y is 8 bits in total.

[0010] Serial transmission and parallel transmission can be considered as a method which transmits such an address signal. Serial transmission is one signal line and is a method which transmits an above-mentioned bits address signal serially. Parallel transmission is a method which each bit of an address signal is made to correspond to one signal line using two or more signal lines; for example, 15 signal lines, and transmits an address signal to parallel. In the case of serial transmission, the number of the signal line needed can be managed with one, but when a lot of data, such as the time of animation display, need to be transmitted to a high speed, for example, a transfer clock must be extremely made into a high speed, and there is a problem that implementation becomes difficult. Therefore, although parallel transmission will be adopted, the address bus of two or more bit width of face needs to be formed between a central processing unit 51 and the liquid crystal controller 52 in this case.

[0011] When forming the address bus of two or more bit width of face, in the both sides by the side of a central processing unit 51 and the liquid crystal controller 52, it will be necessary to prepare each terminals of two or more corresponding to bit. Thus, if two or more terminals are prepared, since the area of components becomes large only in the part, the component-side product of a display system will increase. For example, in applying a display system to the device by which a miniaturization of equipment size like a pocket device is demanded, increase of a component-side product serves as a fatal fault.

[0012] Moreover, in the address bus to which the display address-data signal AD is transmitted, the potential condition in a signal line whenever the address signal corresponding to each pixel is transmitted will be switched to a high speed. Therefore, consumption of the power by the parasitic capacitance of the signal wiring which constitutes an address bus cannot be disregarded, and has become the factor which increases the power consumption of the whole display system. When applying a display system to a pocket device especially, it is required that power consumption should be made as

small as possible.

[0013] Moreover, as mentioned above, since a potential condition is switched to a high speed in an address bus, the problem of EMI (Electro Magnetic Interference) will also be produced.

[0014] Furthermore, in the above-mentioned display system, the address data corresponding to each pixel are being generated by the central processing unit 51. That is, when high-speed processing of animation display etc. is needed since a central processing unit 51 must perform generation of address data although rotational address translation processing is performed in the liquid crystal controller 52, the burden of the processing in a central processing unit 51 becomes comparatively large.

[0015] It was made in order that this invention might solve the above-mentioned trouble, and the purpose has a component-side product and small power consumption, and they are to offer the display controller which can make small the burden of processing of a central processing unit in which edit processing of image data is performed, the display-control approach, and an image display system.

[0016]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, the display controller concerning this invention From an external device, the address translation parameter which shows the conversion approach of the address of each pixel in image data and this image data is inputted. A display address generation means to be the display controller which outputs a video signal to a display panel, and to generate the display address in a display panel based on the above-mentioned address translation parameter, It is characterized by having a video-signal output means to output the above-mentioned image data as a video signal, based on the display address generated by the above-mentioned display address generation means.

[0017] With the above-mentioned configuration, image data and an address translation parameter are first inputted from an external device. Here, an external device is equivalent to the equipment which performs creation processing, edit processing, and various information processing of the image which displays. Since an address translation parameter shows the conversion approach of the address of each pixel in image data, a display address generation means can generate the display address based on this address translation parameter. Therefore, it is not necessary to receive like before the address data in which the address information of each pixel in image data is shown from an external device. Therefore, the address bus of two or more bit width of face for transmitting an address data signal needs to be formed between an external device and a display controller like before. Thereby, the trouble in the case of forming the address bus of two or more bit width of face, i.e., the problem of increase of the component-side product by a terminal increasing, the problem of increase of the consumed electric current by the parasitic capacitance of an address bus, the problem of EMI, etc. are solvable.

[0018] Moreover, like before, since transform processing of the address needs to be performed in an external device, it becomes possible to mitigate the burden on the processing in an external device. Therefore, for example like animation display of high resolution, even when the burden in an external device becomes large, the upper limit of a throughput can be raised by bearing the burden which address translation processing takes by the display controller side.

[0019] Moreover, the display controller concerning this invention is characterized by having further the control register which stores temporarily the address translation parameter inputted from the above-mentioned external device in the above-mentioned configuration.

[0020] According to the above-mentioned configuration, the address translation parameter inputted from the external device will once be stored in a control register, and a display address generation means will perform address translation processing by referring to the address translation parameter stored in the control register. That is, once an address translation parameter is stored in a control register, when a display address generation means is required, it should just pull out an address translation parameter from a control register. Therefore, since what is necessary will be to just be transmitted only when it is necessary to change the contents, the address translation parameter sent to a display controller from an external device can make necessary minimum the amount of data of the

signal sent to a display controller from an external device. Therefore, it becomes possible to reduce the burden and power consumption of the processing accompanying a transfer of a signal.

[0021] Moreover, the display controller concerning this invention is further equipped with primary storage means which consist of memory which has an address space corresponding to the address in the above-mentioned display panel in the above-mentioned configuration, and it is characterized by to memorize the above-mentioned image data to the applicable address in the primary above-mentioned storage means based on the display address generated with the above-mentioned display address generation means.

[0022] Primary storage means are constituted from an above-mentioned configuration by the memory which has an address space corresponding to the address in a display panel. And based on the display address generated with the display address generation means, image data will be memorized to the applicable address in primary storage means. That is, only the information about image data will be memorized by primary storage means, and the information about the display address will be shown to them by the memory address the image data corresponding to each pixel is remembered to be.

Therefore, it will be good at extent as memory capacity of primary storage means which can memorize image data, for example, memory capacity needed can be lessened as compared with the configuration

which must memorize the display address and image data in a group. Therefore, while being able to

reduce the cost of equipment, a component-side product can be reduced.

[0023] Moreover, the display controller concerning this invention is characterized by the above-mentioned address translation parameter including the information about the include angle which rotates

the inputted image data; and/or the information about whether right-and-left reversal is carried out in the

above-mentioned configuration.

[0024] According to the above-mentioned configuration, since the information about the include angle which rotates the inputted image data; and/or the information about whether right-and-left reversal is

carried out are included in the address translation parameter, they become possible [specifying

processing which says that the image data of a landscape format changes into the display of a portrait

format; for example]. That is, as display controller can be enabled to perform address translation

processing which an operator considers as a request by including the above information in an address

translation parameter suitably.

[0025] Moreover, the display controller concerning this invention is characterized by the above-

mentioned address translation parameter including the information about the start address at the time

of displaying the inputted image data on the above-mentioned display panel, and the information about

the dot width of face of the longitudinal direction of the inputted image data, and a lengthwise direction

in the above-mentioned configuration.

[0026] According to the above-mentioned configuration, since the information about a start address and

the information about the dot width of face of a longitudinal direction and a lengthwise direction are

included in the address translation parameter, it becomes possible to display the image of the magnitude

of arbitration on the display position of the arbitration in a display panel of them. Moreover, processing

in which some images currently displayed on the display panel are rewritten also becomes possible.

[0027] Moreover, the display controller concerning this invention is characterized by the above-

mentioned address translation parameter including the information about the number of dots of the

above-mentioned display panel in the above-mentioned configuration.

[0028] Since the information about the number of dots of a display panel is included in the address

translation parameter, also when using the display panel of various magnitude, for example according to

the above-mentioned configuration, it becomes possible from an external device side to change a setup

easily, and it becomes possible to perform the optimal address translation for the number of dots of the

display panel to be used.

[0029] Moreover, the display controller concerning this invention is characterized by the display address

generated by the above-mentioned display address generation means being what is expressed with the

1-dimensional format in the above-mentioned configuration.

[0030] For example, when general CPU is used as an operation means in an external device and the two-dimensional address is fundamentally used in a display controller since the address map of CPU serves as a 1-dimensional coordinate, the configuration changed into the two-dimensional address needs to establish the 1-dimensional address in an external device or display controller side. On the other hand, like the above-mentioned configuration, a 1-dimensional format, then such a configuration are unnecessary in the display address, and simplification of a configuration can be attained.

[0031] moreover, bit needed rather than the case where it displays by two-dimensional when displaying the address by one dimension -- a number may decrease and simplification of processing can be attained.

[0032] moreover, the display-control approach concerning this invention -- the image data from an external device -- and The address translation parameter which shows the conversion approach of the address of each pixel in this image data is inputted. The step which is the display-control approach in the display controller which outputs a video signal to a display panel, and generates the display address in a display panel based on the above-mentioned address translation parameter. It is characterized by having the step which outputs the above-mentioned image data as a video signal based on the display address generated by the above-mentioned display address generation means.

[0033] By the above-mentioned approach, image data and an address translation parameter are first inputted from an external device. That is, by the above-mentioned approach, the address-data signal which shows the address information of each pixel in image data is transmitted from an external device to a display controller. Therefore, the address bus of two or more bit width of face for transmitting an address-data signal needs to be formed between an external device and a display controller like before. Thereby, the trouble in the case of forming the address bus of two or more bit width of face, i.e., the problem of increase of the component-side product by a terminal increasing, the problem of increase of the consumed electric current by the parasitic capacitance of an address bus, the problem of EMI, etc. are solvable.

[0034] Moreover, transform processing of the address has composition performed by the display address generation means. Therefore, like before, since transform processing of the address needs to be performed in an external device, it can become possible to mitigate the burden on the processing in an external device, and the upper limit of the throughput in a system can be raised.

[0035] Moreover, the image display system concerning this invention is characterized by having the display panel which displays an image based on the video signal outputted from the above-mentioned display controller which inputs image data and an address translation parameter, and outputs a video signal, and the above-mentioned display controller from the central processing unit which performs edit processing of image data, and the above-mentioned central processing unit.

[0036] With the above-mentioned configuration, image data and an address translation parameter are first inputted from the central processing unit which performs edit processing of image data. That is, the address-data signal which shows the address information of each pixel in image data is transmitted from a central processing unit to a display controller. Therefore, the address bus of two or more bit width of face for transmitting an address-data signal needs to be formed between a central processing unit and a display controller like before. The image display system which this does not produce [problem / the trouble in the case of forming the address bus of two or more bit width of face, i.e., the problem of increase of the component-side product by a terminal increasing, / the problem of increase of the consumed electric current by the parasitic capacitance of an address bus, the problem of EMI] can be offered.

[0037] Moreover, transform processing of the address has composition performed by the display address generation means. Therefore, like before, since transform processing of the address needs to be performed in a central processing unit, it becomes possible to mitigate the burden on the processing in a central processing unit. Therefore, for example like animation display of high resolution, even when the

burden in an external device becomes large, the upper limit of the throughput in an image display system can be raised by bearing the burden which address translation processing takes by the display controller side.

[0038]

[Embodiment of the Invention] It will be as follows if one gestalt of operation of this invention is explained based on drawing 1 R> 1 thru/or drawing 12.

[0039] Drawing 2 is the block diagram showing the outline configuration of the image display system concerning this operation gestalt. As shown in this drawing, this image display system has composition equipped with the central processing unit 1, the display controller 2, and the display panel 3.

[0040] A central processing unit 1 is a block which performs creation processing of the image which displays, edit processing, and various information processing of the whole image display system. This central processing unit 1 is constituted by CPU (Central Processing Unit) as for example, an operation means, RAM (Random Access Memory) as a working area, EEPROM (Electrically Erasable/Programmable Read Only Memory) as nonvolatile memory, etc. And various image processings and information processing are performed by reading a program, for example from EEPROM on RAM, and performing this program by CPU. Moreover, when this central processing unit 1 is connected with means of communications, it is also possible by downloading for example, the above-mentioned program through a communication network to make it read on RAM. In addition, as the above-mentioned nonvolatile memory, it is not limited to EEPROM, and as long as FeRAM, MRAM, etc. are the memory of a non-volatile, what kind of memory may be used.

[0041] Color data signal DATA and a control signal CTL are generated as data for this central processing unit 1 to display. Color data signal DATA is a signal which shows the brightness value of each of RGB each color component of each pixel in the image which should be displayed. A control signal CTL is a signal including the rotation information on an image, start address information, and the number information of in-every-direction pixels on an image. The rotation information on an image is the rotation information that make it rotate whenever [90.] and the image of a dimension is displayed, when the original image is a landscape format and the display screen in a display panel 3 is a portrait format. Start address information is information which shows whether the image which it is going to display is started from which address in the display screen of a display panel 3, and is displayed. The number information of in-every-direction pixels is information which shows the number of pixels of the lengthwise direction of the image which it is going to display, and a longitudinal direction. Such color data signal DATA and a control signal CTL are transmitted to the display controller 2 from a central processing unit 1.

[0042] The display controller 2 first recognizes the rotation information on an image, start address information, and the number information of in-every-direction pixels on an image based on the inputted control signal CTL. And the display address of each pixel is computed based on such information, the display address is made to correspond and color data signal DATA inputted from a central processing unit 1 is memorized. Then, the image data memorized corresponding to the display address is turned and outputted to a display panel 3 as a video signal IMG.

[0043] A display panel 3 is a block which actually displays an image based on the video signal IMG inputted, and assumes what consists of these operation gestalten with a liquid crystal display. In addition, as a display panel 3, it is not limited to a liquid crystal display and various display panels, for example, an organic EL panel etc., may be used.

[0044] Drawing 1 is the block diagram showing the outline configuration of the display controller 2. As shown in this drawing, the display controller 2 has composition equipped with the signal input means 4, the control register 5, the 6 or primary display address generation means storage means 7, and the video-signal output means 8.

[0045] The signal input means 4 is a block which inputs color data signal DATA and the control signal CTL which are sent from a central processing unit 1. This signal input means 4 distinguishes the class of inputted signal, a control signal CTL is turned to a control register 5, and it turns color data signal DATA

to primary storage means 7, and is outputted, respectively.

[0046] A control register 5 is a block which stores the information included in the control signal CTL sent from the signal input means 4. Drawing 3 is the block diagram showing the outline configuration of a control register 5. As shown in this drawing, the control register 5 is equipped with the start address setting register 9, the number setting register 10 of longitudinal direction dots, the number setting register 11 of lengthwise direction dots, and the hand-of-cut setting register 12.

[0047] The start address setting register 9 is a register which stores the start address information included in the control signal CTL. The number setting register 10 of longitudinal direction dots and the number setting register 11 of lengthwise direction dots are registers which store the number of longitudinal direction dots and the number of lengthwise direction dots of an image based on the number information of in-every-direction pixels on the image contained in the control signal CTL, respectively. The hand-of-cut setting register 12 is a register which stores the rotation information on the image contained in the control signal CTL.

[0048] The display address generation means 6 is a block which generates the actual display address in a display panel 3 based on the start address information memorized by the control register 5, a longitudinal direction, the number information of lengthwise direction dots, and rotation information.

About the detail of the processing in this display address generation means 6, it mentions later.

[0049] Primary storage means 7 are memory which stores color data signal DATA sent from the signal input means 4 based on the display address generated by the display address generation means 6. The memory address space in this primary storage means 7 is set up so that it may correspond to the display address in a display panel 3, and the data of each pixel in color data signal DATA will be memorized by the corresponding memory address according to the corresponding display address.

[0050] The video signal output means 8 is a block which reads the image data memorized by primary storage means 7 in order of the display address in a display panel 3, and outputs it as a video signal IMG to a display panel 3.

[0051] In addition, fundamentally, color data signal DATA and a control signal CTL can also be transmitted towards a central processing unit 1 from the display controller 2 although transmitted towards the display controller 2 from a central processing unit 1. This is performed when the image data memorized in the display controller 2 is needed for example, by the central processing unit 1 side. When the demand of image data is made from a central processing unit 1 to the display controller 2, specifically, a control signal CTL will be transmitted for color data signal DATA towards a central processing unit 1 through the signal input means 4 from a control register 5 from primary storage means 7. In a central processing unit 1, image data will be restored based on color data signal DATA and the control signal CTL which were received.

[0052] It explains below that the processing in the display controller 2 of the above configurations flows. First, if a signal is inputted from a central processing unit 1 to the display controller 2, in the signal input means 4, it will be judged whether the inputted signal is a control signal CTL and whether it is color data signal DATA. The data is stored in a control register 5 when judged with the inputted signal being a control signal CTL.

[0053] And the display address generation means 6 recognizes an address hand of cut based on the rotation information stored in the hand-of-cut setting register 12 of a control register 5, and chooses the algorithm which realizes address translation by the address hand of cut. Here, as an address hand of cut, 0 times, 90 degrees, 180 degrees, 270 etc. degrees, etc. are assumed, for example. The display address generation means 6 shall be memorized for a storage means by which the address translation algorithm corresponding to each angle of rotation is not illustrated.

[0054] And the display address generation means 6 reads the longitudinal direction and the number information of lengthwise direction dots which are stored in the start address information, the number setting register 10 of longitudinal direction dots, and the number setting register 11 of lengthwise direction dots which are stored in the start address setting register of a control register 5, computes

the display address based on the selected address translation algorithm, and outputs it to primary storage means 7.

[0055] Primary storage means 7 make the data of each pixel in color data signal DATA inputted from the signal input means 4 correspond to the display address into which it is inputted from the display address generation means 6, and the applicable address in memory is made to memorize them. And the image data stored in primary storage means 7 is outputted to a display panel 3 as a video signal IMG through the video-signal output means 8.

[0056] Next, an image data transfer is explained notionally, referring to drawing 4 (a) and (b). This drawing (a) shows the example of the image data created in the central processing unit 1, and this drawing (b) shows the condition of having displayed the image data shown in this drawing (a) on the display screen of a display panel 3. Thus, it is possible to display on the location of the arbitration in the display screen of a display panel 3 the image created with the central processing unit 1 in the image display system in this operation gestalt.

[0057] The number of dots of the longitudinal direction in the display screen of a display panel 3 and a lengthwise direction is set to HPCVPC here, respectively, the number of dots of the longitudinal direction of the image created with the central processing unit 1 and a lengthwise direction is set to AWSAHS, respectively, and it sets to ASA, the display starting position on the display screen, i.e., the start address, of the image created with the central processing unit 1. Then, in order to display on the display screen the location of the request on a display panel the image data shown in this drawing (a), it turns out that what is necessary is just to specify the numbers AWS and AHS of dots of a start address ASA, the number of dots of the longitudinal direction of image data, and a lengthwise direction. In addition, ASA is data stored in the start address setting register in a control register 5, and AWSAHS is data stored in the number setting register 10 of longitudinal direction dots, and the number setting register 11 of lengthwise direction dots.

[0058] Next, the address translation processing in the display address generation means 6 is explained. First, the outline is explained about the address translation accompanying rotation using an easy example. Here, as a rotational class as described above, four kinds: 0 times, 90 degrees, 180 degrees, and 270 degrees are assumed. In this case, the hand-of-cut setting register 12 in a control register 5 is constituted by the 2-bit register, and a rotational class is expressed by the 2-bit data shown by VWR. When VWR1 is 0, VWR0 is 0, 0 and VWR0 are [0 times rotation and VWR1] 1 as an example and 90-degree rotation and VWR1 are [1 and VWR0] 0, 180-degree rotation and VWR1 decide that they express 270-degree rotation, respectively when 1 and VWR0 are 1.

[0059] Here, as shown in drawing 5, the pixel matrix of 3x3 which attached the number of 1-9 to each pixel is assumed. And when performing rotational address translation in the range of the pixel matrix of 2x2 by making the pixel 5 of the core of this pixel matrix into the zero address, the sequence of the address in each angle of rotation comes to be shown in the next table 1.

[0060]

[Table 1]

VWR1	VWR0	アドレス順序
0	0	5 → 6 → 8 → 9
0	1	5 → 8 → 4 → 7
1	0	5 → 4 → 2 → 1
1	1	5 → 2 → 6 → 3

[0061] Next, based on the flow chart shown in drawing 6, it explains that processing in case address translation is 0 times rotation flows. First, a control signal CTL is inputted into the display controller 2 from a central processing unit 1, and this control signal CTL is inputted into a control register 5 through the signal input means 4. And the start address ASA contained in the control signal CTL is set to the start address setting register 9 in a control register 5 (it calls like S1 step 1 and henceforth).

[0062] Moreover, the number AWS of longitudinal direction dots contained in the control signal CTL is set to the number setting register 10 of longitudinal direction dots in a control register 5 (S2), and the number AHS of lengthwise direction dots is set to the number setting register 11 of lengthwise direction dots (S3). Furthermore, the data VR showing the hand of cut included in the control signal CTL are set to the hand-of-cut setting register 12 in a control register 5.

[0063] The display address generation means 6 chooses the algorithm which will realize rotation 0 times if it checks that it is rotation 0 times with reference to the rotation information set to the hand-of-cut setting register 12 (S5), and automatic generation of the address, i.e., address translation processing, is started (S6).

[0064] Here, the address of each pixel in the original image is made into the longitudinal direction address N ($0 \leq N \leq \text{AWS}$) and the lengthwise direction address M ($0 \leq M \leq \text{AHS}$), and initial value is set to $N=M=0$. And it is the address TAD after conversion $\text{TAD} = \text{ASA} + M \times \text{HPC} + N$ (1).

It computes by the becoming formula (S7).

[0065] In addition, the address TAD after conversion is what expressed the address of each pixel of the display screen in a display panel 3 by one dimension. That is, when the display screen of a display panel 3 serves as a pixel matrix of width 120 length 160, the address beside [of one line] the top is set to 1-120, the address beside [under the one line] one line is set to 121-240, and the address beside [of one line] the bottom is set to 19080-19200, for example.

[0066] The above-mentioned (1) type's calculation of the address TAD after conversion writes in the data of a pixel with which color data signal DATA corresponds to the corresponding address in primary storage means 7 (S8). And in S9, it is judged whether it became $N=\text{AWS}$, when it is NO, 1 **** of the values of N is carried out (S11), and processing from S7 is performed again.

[0067] On the other hand, when judged with having become $N=\text{AWS}$ in S9 (it sets to S9 and is YES), it is judged in S10 whether it became $M=\text{AHS}$. When judged with it not being $M=\text{AHS}$ (it sets to S10 and is NO), while 1 **** of the values of M is carried out, the value of N is reset by 0 (S12), and processing from S7 is performed again. On the other hand, when judged with having become $M=\text{AHS}$ in S10 (it sets to S10 and is YES), it means that all the addresses were changed and address translation processing is completed.

[0068] Next, based on the flow chart shown in drawing 7, it explains that processing in case address translation is 90-degree rotation flows. First, since the processings from S21 to S24 are the same as processing from S1 in the flow chart shown in drawing 6 to S4, the explanation is omitted here.

[0069] The display address generation means 6 chooses the algorithm which will realize rotation 90 degrees if it checks that it is rotation 90 degrees with reference to the rotation information set to the hand-of-cut setting register 12 (S25), and automatic generation of the address, i.e., address translation processing, is started (S26).

[0070] Here, like the time of 0 times rotation, the address of each pixel in the original image is made into the longitudinal direction address N ($0 \leq N \leq \text{AWS}$) and the lengthwise direction address M ($0 \leq M \leq \text{AHS}$), and initial value is set to $N=M=0$. And it is the address TAD after conversion $\text{TAD} = \text{ASA} + N \times \text{HPC} - M$ (2).

It computes by the becoming formula (S27).

[0071] The above-mentioned (2) types' calculation of the address TAD after conversion writes in the data of a pixel with which color data signal DATA corresponds to the corresponding address in primary storage means 7 (S28). And in S29, it is judged whether it became $M=\text{AHS}$, when it is NO, 1 **** of the values of M is carried out (S31), and processing from S27 is performed again.

[0072] On the other hand, when judged with having become $M=\text{AHS}$ in S29 (it sets to S29 and is YES), it is judged in S30 whether it became $N=\text{AWS}$. When judged with it not being $N=\text{AWS}$ (it sets to S30 and is NO), while 1 **** of the values of N is carried out, the value of M is reset by 0 (S32) and processing from S27 is performed again. On the other hand, when judged with having become $N=\text{AWS}$ in S30 (it sets to S30 and is YES), it means that all the addresses were changed and address translation processing is

completed.

[0073] Next, based on the flow chart shown in drawing 8, it explains that processing in case address translation is 180-degree rotation flows. First, since the processings from S41 to S44 are the same as processing from S1 in the flow chart shown in drawing 6 to S4, the explanation is omitted here.

[0074] The display address generation means 6 chooses the algorithm which will realize rotation 180 degrees if it checks that it is rotation 180 degrees with reference to the rotation information set to the hand-of-cut setting register 12 (S45), and automatic generation of the address, i.e., address translation processing, is started (S46).

[0075] Here, like the time of 0 times rotation, the address of each pixel in the original image is made into the longitudinal direction address N ($0 \leq N \leq AWS$) and the lengthwise direction address M ($0 \leq M \leq AHS$), and initial value is set to N=M=0. And it is the address TAD after conversion $TAD = ASA - M \times HPC - N$ (3)

It computes by the becoming formula (S47).

[0076] The above-mentioned (3) types' calculation of the address TAD after conversion writes in the data of a pixel with which color data signal DATA corresponds to the corresponding address in primary storage means 7 (S48). And in S49, it is judged whether it became $N = AWS$, when it is NO, 1 **** of the values of N is carried out (S51), and processing from S47 is performed again.

[0077] On the other hand, when judged with having become $N = AWS$ in S49 (it sets to S49 and is YES), it is judged in S50 whether it became $M = AHS$. When judged with it not being $M = AHS$ (it sets to S50 and is NO), while 1 **** of the values of M is carried out, the value of N is reset by 0 (S52) and processing from S47 is performed again. On the other hand, when judged with having become $M = AHS$ in S50 (it sets to S50 and is YES), it means that all the addresses were changed and address translation processing is completed.

[0078] Next, based on the flow chart shown in drawing 9, it explains that processing in case address translation is 270-degree rotation flows. First, since the processings from S61 to S64 are the same as processing from S1 in the flow chart shown in drawing 6 to S4, the explanation is omitted here.

[0079] The display address generation means 6 chooses the algorithm which will realize rotation 270 degrees if it checks that it is rotation 270 degrees with reference to the rotation information set to the hand-of-cut setting register 12 (S65), and automatic generation of the address, i.e., address translation processing, is started (S66).

[0080] Here, like the time of 0 times rotation, the address of each pixel in the original image is made into the longitudinal direction address N ($0 \leq N \leq AWS$) and the lengthwise direction address M ($0 \leq M \leq AHS$), and initial value is set to N=M=0. And it is the address TAD after conversion $TAD = ASA - N \times HPC + M$ (4)

It computes by the becoming formula (S67).

[0081] The above-mentioned (4) types' calculation of the address TAD after conversion writes in the data of a pixel with which color data signal DATA corresponds to the corresponding address in primary storage means 7 (S68). And in S69, it is judged whether it became $M = AHS$, when it is NO, 1 **** of the values of M is carried out (S71), and processing from S67 is performed again.

[0082] On the other hand, when judged with having become $M = AHS$ in S69 (it sets to S69 and is YES), it is judged in S70 whether it became $N = AWS$. When judged with it not being $N = AWS$ (it sets to S70 and is NO), while 1 **** of the values of N is carried out, the value of M is reset by 0 (S72) and processing from S67 is performed again. On the other hand, when judged with having become $N = AWS$ in S70 (it sets to S70 and is YES), it means that all the addresses were changed and address translation processing is completed.

[0083] Next, the concrete example of a configuration of the display address generation means 6 for realizing the above address translation processings is explained. Drawing 10 is the block diagram showing the example of a configuration of a display address generation means 6 to perform address translation processing of 0 times rotation to the above. As shown in this drawing, this display address generation

means 6 has composition equipped with the comparator circuit 13-14, the number counter 15 of longitudinal direction dots, the number counter 16 of lengthwise direction dots, and the display address-arithmetic means 17.

[0084] The number counter 15 of longitudinal direction dots is a counter which counts the above-mentioned longitudinal direction address N. The number counter 16 of lengthwise direction dots is a counter which counts the above-mentioned lengthwise direction address M. A comparator circuit 13 is a circuit which compares the value (AWS) set as the number setting register 10 of longitudinal direction dots in a control register 5 with the value (N) counted with the number counter 15 of longitudinal direction dots. A comparator circuit 14 is a circuit which compares the value (AHS) set as the number setting register of lengthwise direction dots in a control register 5 with the value (M) counted with the number counter 16 of lengthwise direction dots. The display address-arithmetic means 17 is a block which calculates the above-mentioned (1) formula based on the value (M) counted with the number counter 16 of (value N) lengthwise direction dots counted with the number counter 15 of longitudinal direction dots, and the start address ASA set as the start address setting register 9.

[0085] The processing in the display address-generation means 6 of such a configuration is as follows.

First, the value of the number of counts (N) in the number counter 15 of longitudinal direction dots and the number of counts (M) in the number counter 16 of lengthwise direction dots is set to 0 as an initial state.

[0086] And whenever count-up in the number counter 15 of longitudinal direction dots is performed and count-up is performed, the conversion operation of the address which corresponds in the display address-arithmetic means 17 is performed. A translated address is outputted as a memory address to primary storage means 7. A comparator circuit 13 performs the comparison with the value (N) counted in the number counter 15 of longitudinal direction dots, and the value (AWS) set as the number setting register 10 of longitudinal direction dots throughout the count-up in the number counter 15 of longitudinal direction dots.

[0087] And in a comparator circuit 13, if judged with counted value (N) and the set point (AWS) having been in agreement, a reset signal will be transmitted towards the number counter 15 of longitudinal direction dots from a comparator circuit 13, and the counted value (N) in the number counter 15 of longitudinal direction dots will be reset by 0. Moreover, it can come simultaneously, a count-up signal is transmitted towards the number counter 16 of lengthwise direction dots from a comparator circuit 13, and the counted value (M) in the number counter 16 of lengthwise direction dots counts up.

[0088] Thus, while count-up is performed in the number counter 16 of lengthwise direction dots, a comparison on the comparator circuit 14 performs the comparison with the value (M) counted in the number counter 16 of lengthwise direction dots, and the value (AHS) set as the number setting register 11 of lengthwise direction dots.

[0089] And in a comparator circuit 14, if judged with counted value (M) and the set point (AHS) having been in agreement, a reset signal will be transmitted towards the number counter 16 of lengthwise direction dots from a comparator circuit 14, and the counted value (M) in the number counter 16 of lengthwise direction dots will be reset by 0. Moreover, it can come simultaneously a transfer terminate signal is transmitted towards primary storage means 7 from a comparator circuit 14. Primary storage means 7 detect that the image data transfer for one image was completed by receiving a transfer terminate signal.

[0090] In addition, the formulas about address translation only differ so that it may understand, if the flow chart shown in drawing 6 and drawing 8 0 times by rotational address translation processing and address translation processing of 180-degree rotation is compared. Therefore, it is realizable with the configuration which also shows the configuration of a display address generation means 6 to perform rotational address translation processing 180 degrees to drawing 10, and the same configuration.

[0091] Moreover, drawing 11 is the block diagram showing the example of a configuration of a display address generation means 6 to perform address translation processing of 90-degree rotation to the

above. Although each component is the same as compared with the configuration which shows this configuration to drawing 10 , the flow of a signal differs from the flow of processing. Below, it explains that the processing in the display address generation means 6 of a configuration of being shown in drawing 11 flows.

[0092] First, the value of the number of counts (N) in the number counter 15 of longitudinal direction dots and the number of counts (M) in the number counter 16 of lengthwise direction dots is set to 0 as an initial state.

[0093] And whenever count-up in the number counter 16 of lengthwise direction dots is performed and count-up is performed, the conversion operation of the address which corresponds in the display address-arithmetic means 17 is performed. A translated address is outputted as a memory address to primary storage means 7. A comparator circuit 14 performs the comparison with the value (M) counted in the number counter 16 of lengthwise direction dots, and the value (AHS) set as the number setting register 11 of lengthwise direction dots throughout the count-up in the number counter 16 of lengthwise direction dots.

[0094] And in a comparator circuit 14, if judged with counted value (M) and the set point (AHS) having been in agreement, a reset signal will be transmitted towards the number counter 16 of lengthwise direction dots from a comparator circuit 14, and the counted value (M) in the number counter 16 of lengthwise direction dots will be reset by 0. Moreover, it can come, simultaneously, a count-up signal is transmitted towards the number counter 15 of longitudinal direction dots from a comparator circuit 14, and the counted value (N) in the number counter 15 of longitudinal direction dots counts up.

[0095] Thus, while count-up is performed in the number counter 15 of longitudinal direction dots, a comparator circuit 13 performs the comparison with the value (N) counted in the number counter 15 of longitudinal direction dots, and the value (AWS) set as the number setting register 10 of longitudinal direction dots.

[0096] And in a comparator circuit 13, if judged with counted value (N) and the set point (AWS) having been in agreement, a reset signal will be transmitted towards the number counter 15 of longitudinal direction dots from a comparator circuit 13, and the counted value (N) in the number counter 15 of longitudinal direction dots will be reset by 0. Moreover, it can come, simultaneously, a transfer terminate signal is transmitted towards primary storage means 7 from a comparator circuit 13. Primary storage means 7 detect that the image data transfer for one image was completed by receiving a transfer terminate signal.

[0097] In addition, the formulas about address translation only differ so that it may understand, if the flow chart shown in drawing 7 and drawing 9 R> 90 degrees by rotational address translation processing and address translation processing of 270-degree rotation is compared. Therefore, it is realizable with the configuration which also shows the configuration of a display address generation means 6 to perform rotational address translation processing 270 degrees to drawing 11 , and the same configuration.

[0098] The address after the conversion transmitted to primary storage means 7 from the display address generation means 6 should be expressed by one dimension by the above-mentioned configuration. That is, although the above-mentioned (1) to (4) type serves as an operation which computes the address of a 1-dimensional display, it is good also as a configuration which is not limited to this, computes the address of a two-dimensional display in the display address generation means 6, and transmits this to primary storage means 7. Below, the operation which computes the address of a two-dimensional display is explained.

[0099] Here, the coordinate value of SX and Y component is set to SY for the coordinate value of X component of a start address ASA, X component of the address after conversion is set to TX, and Y component is set to TY. First, the address translation operation expression in 0 times rotation is $TX = SX + N$, $TY = SY + M$ (5)

It becomes. The address-arithmetic type in 90-degree rotation is $TX = SX - N$, $TY = SY + M$ (6)

It becomes. The address-arithmetic type in 180-degree rotation is $TX= SX-N$. $TY= SY-M$ (7)

It becomes. The address-arithmetic type in 270-degree rotation is $TX= SX+N$. $TY= SY-M$ (8)

It becomes.

[0100] As mentioned above, the address after the conversion transmitted to primary storage means 7 from the display address generation means 6 may be one dimension, or may be two-dimensional.

However, in using the 1-dimensional address, there are the following merits.

[0101] First, since the address map of CPU in a central processing unit 1 serves as a 1-dimensional coordinate fundamentally, when using the two-dimensional address in the display controller 2, the configuration changed into the two-dimensional address needs to establish the 1-dimensional address in the central processing unit 1 or display controller 2 side. When using the 1-dimensional address, such a configuration is unnecessary and can attain simplification of a configuration.

[0102] Moreover, when using the two-dimensional address, a start address must also be taken into consideration by two-dimensional, and it will be necessary to form the start address setting register 9 in a control register 5 by two-dimensional as mentioned above. moreover, bit needed rather than the case where it displays by two-dimensional when displaying the address by one dimension -- a number may decrease and simplification of processing can be attained.

[0103] In addition, although the above-mentioned configuration showed the example which rotates an image as an example of address translation, it is also possible to consider as the configuration which performs address translation which reverses right and left of an image. The address translation which reverses right and left of such an image is used, when making a mirror reflect the image displayed, for example and showing it to people, or when displaying the image which photoed the image reflected by the mirror.

[0104] First, while including the information about right-and-left reversal in a control signal CTL, the register which stores the information about right-and-left reversal in a control register 5 is prepared. The register which stores the information about right-and-left reversal here since the binary information on whether right-and-left reversal is performed as information about right-and-left reversal or it does not carry out is sufficient will be good at 1 bit.

[0105] The flow of the processing at the time of performing right-and-left reversal is shown in drawing 12. First, since the processings from S81 to S84 are the same as processing from S1 in the flow chart shown in drawing 6 to S4, the explanation is omitted here.

[0106] If it checks that the display address generation means 6 performs right-and-left reversal with reference to the right-and-left reversal information set to the register which stores the information about right-and-left reversal, the algorithm which realizes right-and-left reversal will be chosen. (S85), and automatic generation of the address, i.e., address translation processing, will be started (S86).

[0107] Here, like the time of 0 times rotation, the address of each pixel in the original image is made into the longitudinal direction address N ($0 \leq N \leq AWS$) and the lengthwise direction address M ($0 \leq M \leq AHS$), and initial value is set to $N=M=0$. And it is the address TAD after conversion $TAD=ASA+M \times HPC-N$ (9)

It computes by the becoming formula (S87).

[0108] The above-mentioned (9) types' calculation of the address TAD after conversion writes in the data of a pixel with which color data signal DATA corresponds to the corresponding address in primary storage means 7 (S88). And in S89, it is judged whether it became $N=AWS$, when it is NO, 1 **** of the values of N is carried out (S91), and processing from S87 is performed again.

[0109] On the other hand, when judged with having become $N=AWS$ in S89 (it sets to S89 and is YES), it is judged in S90 whether it became $M=AHS$. When judged with it not being $M=AHS$ (it sets to S90 and is NO), while 1 **** of the values of M is carried out, the value of N is reset by 0 (S92) and processing from S97 is performed again. On the other hand, when judged with having become $M=AHS$ in S90 (it sets to S90 and is YES), it means that all the addresses were changed and address translation processing is completed.

[0110] As an example of a configuration of a display address generation means 6 to perform address translation processing of the above right-and-left reversal, the configuration shown in drawing 10 R> 0 is mentioned. That is, what is necessary will be just to change processing [in / it is possible to realize with the configuration which performs rotation and 180 degree rotation 0 times, and the same configuration, and / the display address-arithmetic means 17] in right-and-left reversal.

[0111] Moreover, although the above-mentioned (9) types serve as an operation which computes the address of a 1-dimensional display, they are good also as a configuration which is not limited to this, computes the address of a two-dimensional display in the display address generation means 6 like the case of rotational transform, and transmits this to primary storage means 7. The address translation operation expression in this case is $TX= SX-N$. $TY= SY+M$ (10)

It becomes.

[0112] In addition, right-and-left reversal will be performed by counting up a lateral counter previously 90 degrees, although this (10) type is the same as that of (6) types which are rotational operation. expression, and counting up the counter of a lengthwise direction after that.

[0113] Next, a setup of the number HPC of longitudinal direction display-panel dots used in the above-mentioned (1) - (4) type and (9) types is explained. What is necessary is fundamentally, just to memorize it fixed, for example in the display address generation means 6, since it is not necessary to change the number HPC of longitudinal direction display-panel dots when the display panel 3 to be used is immobilization. However, when the display panel 3 to be used is not immobilization, according to the class of display panel 3 to be used, the number HPC of longitudinal direction display-panel dots will change.

[0114] In such a case, since it corresponds, it is good also as a configuration which prepares the number register of longitudinal direction pixels which stores the number HPC of longitudinal direction display-panel dots in a control register 5. In this case, what is necessary is for a central processing unit 1 to include the signal which shows the number HPC of longitudinal direction display-panel dots in a control signal CTL, and to transmit to the display controller 2, and just to design so that the information on this control signal may be stored in the number register of longitudinal direction pixels in a control register 5. And in any case, an address translation operation is performed in the display address generation means 6, it is made possible to calculate by taking out the number HPC of longitudinal direction display-panel dots stored in this number register of longitudinal direction pixels.

[0115] Since it becomes possible from such a configuration, then a central processing unit 1 to set up the number HPC of longitudinal direction display-panel dots, also when using the display panel 3 of various magnitude, a setup is changed easily and it becomes possible to correspond exactly.

[0116]

[Effect of the Invention] As mentioned above, the display controller concerning this invention From an external device, the address translation parameter which shows the conversion approach of the address of each pixel in image data and this image data is inputted. A display address generation means to be the display controller which outputs a video signal to a display panel, and to generate the display address in a display panel based on the above-mentioned address translation parameter, It is the configuration equipped with a video-signal output means to output the above-mentioned image data as a video signal, based on the display address generated by the above-mentioned display address generation means.

[0117] By this, the address bus of two or more bit width of face for transmitting an address-data signal needs to be formed between an external device and a display controller like before. Therefore, the effectiveness that the trouble in the case of forming the address bus of two or more bit width of face, i.e., the problem of increase of the component-side product by a terminal increasing, the problem of increase of the consumed electric current by the parasitic capacitance of an address bus, the problem of EMI, etc. are solvable is done so.

[0118] Moreover, since transform processing of the address is performed by the display address

generation means, in an external device, transform processing of the address needs to be performed like before. Therefore, the effectiveness of becoming possible to mitigate the burden on the processing in an external device is done so.

[0119] Moreover, the display controller concerning this invention is a configuration further equipped with the control register which stores temporarily the address translation parameter inputted from the above-mentioned external device.

[0120] Thereby, since what is necessary will be to just be transmitted only when it is necessary to change the contents, the address translation parameter which is sent to a display controller from an external device in addition to the effectiveness by the above-mentioned configuration can make necessary minimum the amount of data of the signal sent to a display controller from an external device. Therefore, the effectiveness of becoming possible to reduce the burden and power consumption of the processing accompanying a transfer of a signal is done so.

[0121] Moreover, the display controller concerning this invention is the configuration that the above-mentioned image data is memorized to the applicable address in the primary above-mentioned storage means based on the display address which was further equipped with primary storage means which consist of memory which has an address space corresponding to the address in the above-mentioned display panel, and was generated with the above-mentioned display address generation means.

[0122] Thereby, it will be good at extent which can memorize image data as memory capacity of primary storage means in addition to the effectiveness by the above-mentioned configuration, for example, memory capacity needed can be lessened as compared with the configuration which must memorize the display address and image data in a group. Therefore, while being able to reduce the cost of equipment, the effectiveness that a component-side product can be reduced is done so.

[0123] Moreover, the display controller concerning this invention is the configuration that the above-mentioned address translation parameter includes the information about the include angle which rotates the inputted image data, and/or the information about whether right and left reversal is carried out.

[0124] This does so the effectiveness that a display controller can be enabled to perform address translation processing which an operator considers as a request by including the above information in an address translation parameter, suitably in addition to the effectiveness by the above-mentioned configuration.

[0125] Moreover, the display controller concerning this invention is the configuration that the above-mentioned address translation parameter includes the information about the start address at the time of displaying the inputted image data on the above-mentioned display panel, and the information about the dot width of face of the longitudinal direction of the inputted image data, and a lengthwise direction.

[0126] The effectiveness of becoming possible to display the image of the magnitude of arbitration on the display position of the arbitration in a display panel by this in addition to the effectiveness by the above-mentioned configuration is done so. Moreover, the effectiveness that processing in which some images currently displayed on the display panel are rewritten also becomes possible is done so.

[0127] Moreover, the display controller concerning this invention is the configuration that the above-mentioned address translation parameter includes the information about the number of dots of the above-mentioned display panel.

[0128] the effectiveness by the above-mentioned configuration by this -- in addition -- for example, also when using the display panel of various magnitude, it becomes possible from an external device side to change a setup easily, and the effectiveness of becoming possible to perform the optimal address translation for the number of dots of the display panel to be used is done so.

[0129] Moreover, the display controller concerning this invention is the configuration that the display address generated by the above-mentioned display address generation means is what is expressed with the 1-dimensional format.

[0130] A configuration which this calls the configuration which changes the 1-dimensional address into the two-dimensional address in addition to the effectiveness by the above-mentioned configuration

becomes unnecessary, and the effectiveness that simplification of a configuration can be attained is done so.

[0131] moreover, bit needed rather than the case where it displays by two-dimensional when displaying the address by one dimension -- a number may decrease and the effectiveness that simplification of processing can be attained is done so.

[0132] moreover, the display-control approach concerning this invention -- the image data from an external device -- and The address translation parameter which shows the conversion approach of the address of each pixel in this image data is inputted. The step which is the display-control approach in the display controller which outputs a video signal to a display panel, and generates the display address in a display panel based on the above-mentioned address translation parameter, It is the approach of having the step which outputs the above-mentioned image data as a video signal based on the display address generated by the above-mentioned display address generation means.

[0133] By this, the address bus of two or more bit width of face for transmitting an address-data signal needs to be formed between an external device and a display controller like before. Therefore, the effectiveness that the trouble in the case of forming the address bus of two or more bit width of face, i.e., the problem of increase of the component-side product by a terminal increasing, the problem of increase of the consumed electric current by the parasitic capacitance of an address bus, the problem of EMI, etc. are solvable is done so.

[0134] Moreover, like before, since transform processing of the address needs to be performed in an external device, it becomes possible to mitigate the burden on the processing in an external device, and the effectiveness that the upper limit of the throughput in a system can be raised is done so.

[0135] Moreover, the image display system concerning this invention is a configuration equipped with the above-mentioned display controller which inputs image data and an address translation parameter, and outputs a video signal from the central processing unit which performs edit processing of image data, and the above-mentioned central processing unit, and the display panel which displays an image based on the video signal outputted from the above-mentioned display controller.

[0136] Since the address bus of two or more bit width of face for transmitting an address-data signal needs to be formed between a central processing unit and a display controller like before by this, The effectiveness that the image display system which is not produced, [problem / the trouble in the case of forming the address bus of two or more bit width of face, i.e., the problem of increase of the component-side product by a terminal increasing, / the problem of increase of the consumed electric current by the parasitic capacitance of an address bus; the problem of EMI] can be offered is done so.

[0137] Moreover, it becomes possible to mitigate the burden on the processing in a central processing unit. Therefore, for example like animation display of high resolution, even when the burden in an external device becomes large, the effectiveness that the upper limit of the throughput in an image display system can be raised is done so by bearing the burden which address translation processing takes by the display controller side.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. *** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the outline configuration of the display controller concerning 1 operation gestalt of this invention.

[Drawing 2] It is the block diagram showing the outline configuration of the image display system concerning this operation gestalt.

[Drawing 3] It is the block diagram showing the outline configuration of the control register with which the above-mentioned display controller is equipped.

[Drawing 4] This drawing (a) shows the example of the image data created in the central processing unit, and this drawing (b) is an explanatory view showing the condition of having displayed the image data shown in this drawing (a) on the display screen of a display panel.

[Drawing 5] It is the explanatory view showing the pixel matrix of 3x3 which attached the number of 1-9 to each pixel.

[Drawing 6] It is the flow chart which shows the flow of processing in case address translation is 0 times rotation.

[Drawing 7] It is the flow chart which shows the flow of processing in case address translation is 90-degree rotation.

[Drawing 8] It is the flow chart which shows the flow of processing in case address translation is 180-degree rotation.

[Drawing 9] It is the flow chart which shows the flow of processing in case address translation is 270-degree rotation.

[Drawing 10] It is the block diagram showing the example of a configuration of a display address generation means to perform address translation processing of rotation, 180-degree rotation, and right- and left reversal 0 times.

[Drawing 11] It is the block diagram showing the example of a configuration of a display address generation means to perform address translation processing of rotation and 270-degree rotation 90 and 180 degrees.

[Drawing 12] It is the flow chart which shows the flow of processing in case address translation is right- and left reversal.

[Drawing 13] It is the block diagram showing the outline of the example of a configuration of the conventional display system.

[Description of Notations]

- 1 Central Processing Unit
- 2 Display Controller
- 3 Display Panel
- 4 Signal Input Means
- 5 Control Register
- 6 Display Address Generation Means
- 7 Primary Storage Means
- 8 Video-Signal Output Means
- 9 Start Address Setting Register
- 10 The Number Setting Register of Longitudinal Direction Dots
- 11 The Number Setting Register of Lengthwise Direction Dots
- 12 Hand-of-Cut Setting Register

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-66938

(P2003-66938A)

(43)公開日 平成15年3月5日(2003.3.5)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
G 0 9 G 5/00	5 5 0	G 0 9 G 5/00	5 5 0 P 5 C 0 0 6 5 5 0 H 5 C 0 8 2
5/36		3/36	
// G 0 9 G 3/36		5/36	5 2 0 K

審査請求 未請求 請求項の数9 O L (全 18 頁)

(21)出願番号 特願2001-255361(P2001-255361)

(22)出願日 平成13年8月24日(2001.8.24)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 小島 吉平

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 中谷 博徳

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74)代理人 100080034

弁理士 原 謙三

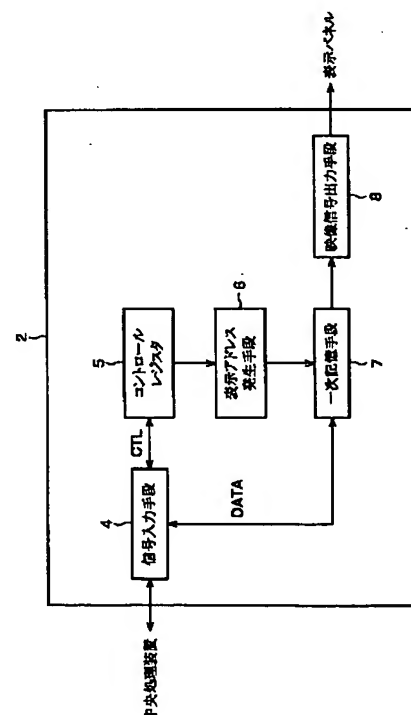
最終頁に続く

(54)【発明の名称】 表示コントローラ、表示制御方法、および画像表示システム

(57)【要約】

【課題】 実装面積および消費電力が小さく、かつ画像データの編集処理を行う中央処理装置の処理の負担を小さくすることができる表示コントローラを提供する。

【解決手段】 中央処理装置から色データ信号DATAおよび制御信号CTLを入力し、制御信号CTLに含まれるアドレス変換パラメータがコントロールレジスタ5に格納される。このアドレス変換パラメータに基づいて、表示アドレス発生手段6がアドレス変換を行って表示アドレスを生成し、この表示アドレスに基づいて、色データ信号DATAが1次記憶手段7に記憶される。その後、映像信号出力手段8を介して、映像信号が表示パネルへ出力される。



(2)

【特許請求の範囲】

【請求項1】外部装置から、画像データ、および、該画像データにおける各画素のアドレスの変換方法を示すアドレス変換パラメータを入力し、表示パネルに対して映像信号を出力する表示コントローラであって、上記アドレス変換パラメータに基づいて、表示パネルにおける表示アドレスを生成する表示アドレス発生手段と、
上記表示アドレス発生手段によって生成された表示アドレスに基づいて、上記画像データを映像信号として出力する映像信号出力手段とを備えていることを特徴とする表示コントローラ。

【請求項2】上記外部装置から入力されたアドレス変換パラメータを一時的に格納するコントロールレジスタをさらに備えていることを特徴とする請求項1記載の表示コントローラ。

【請求項3】上記表示パネルにおけるアドレスに対応したアドレス空間を有するメモリからなる1次記憶手段をさらに備え、上記表示アドレス発生手段で生成された表示アドレスに基づいて、上記画像データが上記1次記憶手段における該当アドレスに記憶されることを特徴とする請求項1または2記載の表示コントローラ。

【請求項4】上記アドレス変換パラメータが、入力された画像データを回転させる角度に関する情報、および／または左右反転させるか否かに関する情報を含んでいることを特徴とする請求項1、2、または3記載の表示コントローラ。

【請求項5】上記アドレス変換パラメータが、入力された画像データを上記表示パネル上に表示させる際のスタートアドレスに関する情報と、入力された画像データの横方向および縦方向のドット幅に関する情報とを含んでいることを特徴とする請求項1ないし4のいずれか1項に記載の表示コントローラ。

【請求項6】上記アドレス変換パラメータが、上記表示パネルのドット数に関する情報を含んでいることを特徴とする請求項1ないし5のいずれか1項に記載の表示コントローラ。

【請求項7】上記表示アドレス発生手段によって生成される表示アドレスが、1次元形式で表されているものであることを特徴とする請求項1ないし6のいずれか1項に記載の表示コントローラ。

【請求項8】外部装置から、画像データ、および、該画像データにおける各画素のアドレスの変換方法を示すアドレス変換パラメータを入力し、表示パネルに対して映像信号を出力する表示コントローラにおける表示制御方法であって、

上記アドレス変換パラメータに基づいて、表示パネルにおける表示アドレスを生成するステップと、

上記表示アドレス発生手段によって生成された表示アドレスに基づいて、上記画像データを映像信号として出力

するステップとを有していることを特徴とする表示制御方法。

【請求項9】画像データの編集処理を行う中央処理装置と、
上記中央処理装置から、画像データおよびアドレス変換パラメータを入力し、映像信号を出力する請求項1ないし7のいずれか一項に記載の表示コントローラと、
上記表示コントローラから出力された映像信号に基づいて、画像の表示を行う表示パネルとを備えていることを特徴とする画像表示システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば液晶表示装置やEL表示装置などの表示装置駆動制御に関するものであり、特に画像データのアドレス変換を行う表示コントローラに関するものである。

【0002】

【従来の技術】例えば液晶表示装置などによって構成される、各種電子機器の表示装置は年々高性能化してきている。例えば、表示性能としては、より高階調の表示を行うことが要求されており、また、表示される内容も、静止画のみならず動画表示も要求されるようになってきている。このような表示装置の高機能化に伴って、表示に必要とされる情報量も増大してきている。

【0003】表示を行うシステムは、各種情報処理を行う中央処理装置、中央処理装置から送られる表示データに基づいて、表示装置の表示制御を行う表示制御装置、および実際に表示を行う表示装置などによって構成される。このようなシステムにおいて、上記のような表示装置の高機能化に伴って情報量が増大すると、中央処理装置における画像処理の負担が増大することになる。

【0004】そこで、中央処理装置の負担を軽減するために、中央処理装置において処理されていた画像処理の機能を、表示制御装置で処理するようにシステムを組む傾向が強まっている。例えば、ポートレート形式の画像を、ランドスケープ形式で表示させるための画像処理を、表示制御装置で行う表示システムが、特開2000-89748号公報などに開示されている。ここで、ポートレート形式とは、画像の縦の長さが、横の長さよりも長くなっている形式であり、ランドスケープ形式とは、画像の横の長さが、縦の長さよりも長くなっている形式である。以下に、この表示システムについて説明する。

【0005】図13は、上記表示システムの構成例の概略を示すブロック図である。同図に示すように、該表示システムは、中央処理装置51、表示制御装置としての液晶コントローラ52、および表示装置としての表示パネル53を備えた構成となっている。また、液晶コントローラ52は、アドレス変換部54、一次記憶部55、および制御部56を備えている。なお、この表示システ

(3)

3

ムでは、表示パネルとして、液晶表示パネルを想定している。

【0006】中央処理装置51からは、表示すべき画像における各画素の色データ信号DATA、表示パネル53における各画素のアドレスに対応した表示アドレスデータ信号AD、および、表示画像の回転情報を表す制御信号CTLが液晶コントローラ52に向けて出力されている。これらの信号のうち、表示アドレスデータ信号ADおよび制御信号CTLが、アドレス変換部54に入力され、色データ信号DATAが一次記憶部55に入力される。

【0007】表示アドレスデータ信号ADは、X、Yの2次元の座標をもつアドレス信号である。また、制御信号CTLは、例えばポートレート形式の画像をランドスケープ形式で表示させるために、画像を90度回転させるというような情報を示す信号である。そして、これらの信号が入力されるアドレス変換部54は、制御信号CTLで示される回転情報に基づいて、表示アドレスデータ信号ADの各画素の2次元アドレスデータを1アドレスずつアドレス変換し、変換後のアドレスデータを一次記憶部55に送る。

【0008】一次記憶部55では、アドレス変換部54においてアドレス変換されたアドレスデータに基づいて、中央処理装置51から送られてきた色データ信号DATAを、メモリ中の該当するアドレスに書き込む処理が行われる。そして、制御部56の制御に基づいて、一次記憶部55に記憶されている、表示パネル53の各画素に対応したアドレスのデータが読み出され、映像信号IMGとして表示パネル53に向けて出力される。表示パネル53は、入力された映像信号IMGに基づいて、液晶表示装置における各画素を駆動し、該当画像の表示を行う。

【0009】

【発明が解決しようとする課題】図13に示す表示システムでは、中央処理装置51から液晶コントローラ52に向けて、表示アドレスデータ信号ADが送信されている。この表示アドレスデータ信号ADは、上記のように、X、Yの2次元の座標からなるアドレス信号である。例えば、表示パネル53の解像度が120×160である場合、1つの画素に対応するアドレス信号は、Xが7bit、Yが8bitの計15bitのデータとなる。

【0010】このようなアドレス信号を転送する方式としては、シリアル転送とパラレル転送とが考えられる。シリアル転送は、1本の信号線で、上記15bitのアドレス信号をシリアルに転送する方式である。パラレル転送は、複数の信号線、例えば15本の信号線を用い、アドレス信号の各bitを1本の信号線に対応させてパラレルにアドレス信号を転送する方式である。シリアル転送の場合、必要とされる信号線の本数は1本で済むこ

4

とになるが、例えば動画表示時など、大量のデータを高速に転送する必要がある場合には、転送クロックを極めて高速にしなければならなくなり、実現が困難となるという問題がある。よって、パラレル転送を採用することになるが、この場合、中央処理装置51と液晶コントローラ52との間に、複数bit幅のアドレスバスを設ける必要が生じることになる。

【0011】複数bit幅のアドレスバスを設ける場合、中央処理装置51側、および液晶コントローラ52側の双方において、各bitに対応する複数の端子を設ける必要が生じる。このように複数の端子を設けると、その分だけ部品の面積が大きくなるので、表示システムの実装面積が増大することになる。例えば携帯機器のような、装置サイズの小型化が要求される機器に表示システムを適用する場合には、実装面積の増大は致命的な欠点となる。

【0012】また、表示アドレスデータ信号ADを転送するアドレスバスでは、各画素に対応するアドレス信号が転送される度に、信号線における電位状態が高速に切り換えられることになる。したがって、アドレスバスを構成する信号配線の寄生容量による電力の消費は無視できないものであり、表示システム全体の消費電力を増大させる要因となっている。特に、携帯機器に表示システムを適用する場合には、消費電力は少しでも小さくすることが要求される。

【0013】また、上記のように、アドレスバスでは電位状態が高速に切り換えられるので、EMI (Electro Magnetic Interference) の問題も生じることになる。

【0014】さらに、上記の表示システムでは、各画素に対応するアドレスデータは、中央処理装置51によって生成されるものとなっている。すなわち、回転などのアドレス変換処理は液晶コントローラ52において行われるものの、アドレスデータの生成は中央処理装置51で行わなければならないので、動画表示などの高速処理が必要とされる場合には、中央処理装置51における処理の負担は比較的大きくなる。

【0015】本発明は上記の問題点を解決するためになされたもので、その目的は、実装面積および消費電力が小さく、かつ画像データの編集処理を行う中央処理装置の処理の負担を小さくすることができる表示コントローラ、表示制御方法、および画像表示システムを提供することにある。

【0016】

【課題を解決するための手段】上記の課題を解決するために、本発明に係る表示コントローラは、外部装置から、画像データ、および、該画像データにおける各画素のアドレスの変換方法を示すアドレス変換パラメータを入力し、表示パネルに対して映像信号を出力する表示コントローラであって、上記アドレス変換パラメータに基づいて、表示パネルにおける表示アドレスを生成する表

(4)

5

示アドレス発生手段と、上記表示アドレス発生手段によって生成された表示アドレスに基づいて、上記画像データを映像信号として出力する映像信号出力手段とを備えていることを特徴としている。

【0017】上記の構成では、まず、外部装置からは、画像データおよびアドレス変換パラメータが入力されるようになっている。ここで、外部装置とは、例えば表示を行う画像の作成処理や編集処理、および各種情報処理を行う装置に相当するものである。アドレス変換パラメータは、画像データにおける各画素のアドレスの変換方法を示すものであるので、表示アドレス発生手段は、このアドレス変換パラメータに基づいて表示アドレスを生成することが可能である。よって、従来のように、外部装置から画像データにおける各画素のアドレス情報を示すアドレスデータを受け取る必要はないものとなる。したがって、従来のように、外部装置と表示コントローラとの間にアドレスデータ信号を伝送するための複数bit幅のアドレスバスを設ける必要がないことになる。これにより、複数bit幅のアドレスバスを設ける場合の問題点、すなわち、端子が増大することによる実装面積の増大の問題や、アドレスバスの寄生容量による消費電流の増大の問題、EMIの問題などを解消することができる。

【0018】また、従来のように、外部装置においてアドレスの変換処理を行わなくて済むことになるので、外部装置における処理上の負担を軽減することが可能となる。よって、例えば高解像度の動画表示などのように、外部装置での負担が大きくなるような場合でも、アドレス変換処理に要する負担を表示コントローラ側で担うことによって、処理能力の上限を向上させることができる。

【0019】また、本発明に係る表示コントローラは、上記の構成において、上記外部装置から入力されたアドレス変換パラメータを一時的に格納するコントロールレジスタをさらに備えていることを特徴としている。

【0020】上記の構成によれば、外部装置から入力されたアドレス変換パラメータは、コントロールレジスタに一旦格納されることになり、表示アドレス発生手段は、コントロールレジスタに格納されているアドレス変換パラメータを参照することによってアドレス変換処理を行うことになる。すなわち、コントロールレジスタにアドレス変換パラメータが一旦格納されれば、表示アドレス発生手段は、必要なときにコントロールレジスタからアドレス変換パラメータを引き出してあげればよいことになる。よって、外部装置から表示コントローラへ送られるアドレス変換パラメータは、その内容を変更する必要が生じたときにのみ送信されればよいことになるので、外部装置から表示コントローラへ送られる信号のデータ量を必要最小限とすることができる。したがって、信号の転送に伴う処理の負担や消費電力を低減すること

6

が可能となる。

【0021】また、本発明に係る表示コントローラは、上記の構成において、上記表示パネルにおけるアドレスに対応したアドレス空間を有するメモリからなる1次記憶手段をさらに備え、上記表示アドレス発生手段で生成された表示アドレスに基づいて、上記画像データが上記1次記憶手段における該当アドレスに記憶されることを特徴としている。

【0022】上記の構成では、1次記憶手段が、表示パネルにおけるアドレスに対応したアドレス空間を有するメモリによって構成されているものとなっている。そして、表示アドレス発生手段で生成された表示アドレスに基づいて、画像データが1次記憶手段における該当アドレスに記憶されることになる。すなわち、1次記憶手段には、画像データに関する情報のみが記憶され、表示アドレスに関する情報は、各画素に対応する画像データが記憶されるメモリアドレスによって示されることになる。したがって、1次記憶手段の記憶容量としては、画像データを記憶することが可能な程度でよいことになり、例えば表示アドレスと画像データとを組で記憶しなければならない構成と比較して、必要とされる記憶容量を少なくすることができる。よって、装置のコストを低減することができるとともに、実装面積を低減することができる。

【0023】また、本発明に係る表示コントローラは、上記の構成において、上記アドレス変換パラメータが、入力された画像データを回転させる角度に関する情報、および／または左右反転させるか否かに関する情報を含んでいることを特徴としている。

【0024】上記の構成によれば、入力された画像データを回転させる角度に関する情報、および／または左右反転させるか否かに関する情報が、アドレス変換パラメータに含まれているので、例えばランドスケープ形式の画像データを、ポートレート形式の表示に変換するというような処理を指定することが可能となる。すなわち、アドレス変換パラメータに上記のような情報を適宜含めることによって、オペレータが所望とするアドレス変換処理を表示コントローラが行うことを可能とすることができる。

【0025】また、本発明に係る表示コントローラは、上記の構成において、上記アドレス変換パラメータが、入力された画像データを上記表示パネル上に表示させる際のスタートアドレスに関する情報と、入力された画像データの横方向および縦方向のドット幅に関する情報とを含んでいることを特徴としている。

【0026】上記の構成によれば、スタートアドレスに関する情報と、横方向および縦方向のドット幅に関する情報とが、アドレス変換パラメータに含まれているので、表示パネルにおける任意の表示位置に、任意の大きさの画像を表示させることが可能となる。また、表示パ

(5)

7

ネルに表示されている画像の一部のみを書き換えるというような処理も可能となる。

【0027】また、本発明に係る表示コントローラは、上記の構成において、上記アドレス変換パラメータが、上記表示パネルのドット数に関する情報を含んでいることを特徴としている。

【0028】上記の構成によれば、表示パネルのドット数に関する情報がアドレス変換パラメータに含まれているので、例えば様々な大きさの表示パネルを用いる場合にも、外部装置側から容易に設定を変更することが可能となり、用いる表示パネルのドット数に最適なアドレス変換を行うことが可能となる。

【0029】また、本発明に係る表示コントローラは、上記の構成において、上記表示アドレス発生手段によって生成される表示アドレスが、1次元形式で表されているものであることを特徴としている。

【0030】例えば、外部装置における演算手段として、一般的なCPUが用いられている場合、基本的には、CPUのアドレスマップは1次元座標となっているので、表示コントローラにおいて2次元アドレスを用いるとなると、1次元アドレスを2次元アドレスに変換する構成が、外部装置側、あるいは表示コントローラ側に設ける必要が生じることになる。これに対して、上記の構成のように、表示アドレスを1次元形式とすれば、このような構成は不要であり、構成の簡素化を図ることができる。

【0031】また、アドレスを1次元で表示する場合、2次元で表示する場合よりも必要とされるbit数が少なくなる場合もあり、処理の簡素化を図ることができる。

【0032】また、本発明に係る表示制御方法は、外部装置から、画像データ、および、該画像データにおける各画素のアドレスの変換方法を示すアドレス変換パラメータを入力し、表示パネルに対して映像信号を出力する表示コントローラにおける表示制御方法であって、上記アドレス変換パラメータに基づいて、表示パネルにおける表示アドレスを生成するステップと、上記表示アドレス発生手段によって生成された表示アドレスに基づいて、上記画像データを映像信号として出力するステップとを有していることを特徴としている。

【0033】上記の方法では、まず、外部装置からは、画像データおよびアドレス変換パラメータが入力されるようになっている。すなわち、上記の方法では、外部装置から表示コントローラに対して、画像データにおける各画素のアドレス情報を示すアドレスデータ信号は送信されないようになっている。したがって、従来のように、外部装置と表示コントローラとの間にアドレスデータ信号を伝送するための複数bit幅のアドレスバスを設ける必要がないことになる。これにより、複数bit幅のアドレスバスを設ける場合の問題点、すなわち、端

8

子が増大することによる実装面積の増大の問題や、アドレスバスの寄生容量による消費電流の増大の問題、EMIの問題などを解消することができる。

【0034】また、アドレスの変換処理は、表示アドレス発生手段によって行われる構成となっている。したがって、従来のように、外部装置においてアドレスの変換処理を行わなくて済むことになるので、外部装置における処理上の負担を軽減することが可能となり、システムにおける処理能力の上限を向上させることができる。

10 【0035】また、本発明に係る画像表示システムは、画像データの編集処理を行う中央処理装置と、上記中央処理装置から、画像データおよびアドレス変換パラメータを入力し、映像信号を出力する上記の表示コントローラと、上記表示コントローラから出力された映像信号に基づいて、画像の表示を行う表示パネルとを備えていることを特徴としている。

【0036】上記の構成では、まず、画像データの編集処理を行う中央処理装置からは、画像データおよびアドレス変換パラメータが入力されるようになっている。すなわち、中央処理装置から表示コントローラに対して、画像データにおける各画素のアドレス情報を示すアドレスデータ信号は送信されないようになっている。したがって、従来のように、中央処理装置と表示コントローラとの間にアドレスデータ信号を伝送するための複数bit幅のアドレスバスを設ける必要がないことになる。これにより、複数bit幅のアドレスバスを設ける場合の問題点、すなわち、端子が増大することによる実装面積の増大の問題や、アドレスバスの寄生容量による消費電流の増大の問題、EMIの問題などの生じない画像表示システムを提供することができる。

30 【0037】また、アドレスの変換処理は、表示アドレス発生手段によって行われる構成となっている。したがって、従来のように、中央処理装置においてアドレスの変換処理を行わなくて済むことになるので、中央処理装置における処理上の負担を軽減することが可能となる。よって、例えば高解像度の動画表示などのように、外部装置での負担が大きくなるような場合でも、アドレス変換処理に要する負担を表示コントローラ側で担うことによって、画像表示システムにおける処理能力の上限を向上させることができる。

40 【0038】

【発明の実施の形態】本発明の実施の一形態について図1ないし図12に基づいて説明すれば、以下のとおりである。

【0039】図2は、本実施形態に係る画像表示システムの概略構成を示すブロック図である。同図に示すように、この画像表示システムは、中央処理装置1、表示コントローラ2、および表示パネル3を備えた構成となっている。

50 【0040】中央処理装置1は、表示を行う画像の作成

(6)

9

処理や編集処理、および画像表示システム全体の各種情報処理を行うブロックである。この中央処理装置1は、例えば演算手段としてのCPU (Central Processing Unit)、作業領域としてのRAM (Random Access Memory)、不揮発性メモリとしてのEEPROM (Electrically Erasable/Programmable Read Only Memory)などによって構成される。そして、例えばEEPROMからプログラムをRAM上に読み出して、CPUによってこのプログラムを実行することによって、各種画像処理や情報処理が行われる。また、この中央処理装置1が通信手段と接続されている場合には、例えば上記プログラムを通信ネットワークを介してダウンロードすることによってRAM上に読み出すようにすることも可能である。なお、上記不揮発性メモリとしては、EEPROMに限定されるものではなく、例えばFeRAM、MRAMなど、不揮発性のメモリであればどのようなメモリを用いてもよい。

【0041】この中央処理装置1は、表示を行うためのデータとして、色データ信号DATA、および、制御信号CTLが生成される。色データ信号DATAは、表示すべき画像における各画素のRGB各色成分の輝度値を示す信号である。制御信号CTLは、画像の回転情報、スタートアドレス情報、および画像の縦横画素数情報を含んだ信号である。画像の回転情報とは、例えば元の画像がランドスケープ形式であり、表示パネル3における表示画面がポートレート形式であるような場合に、元の画像を例えば90度回転させて表示させる、というような情報である。スタートアドレス情報は、表示しようとする画像を、表示パネル3の表示画面におけるどのアドレスからスタートさせて表示させるのかを示す情報である。縦横画素数情報は、表示しようとする画像の縦方向および横方向の画素数を示す情報である。このような色データ信号DATAおよび制御信号CTLが、中央処理装置1から表示コントローラ2に送信される。

【0042】表示コントローラ2は、まず、入力された制御信号CTLに基づいて、画像の回転情報、スタートアドレス情報、および画像の縦横画素数情報を認識する。そして、これらの情報に基づいて各画素の表示アドレスを算出し、中央処理装置1から入力される色データ信号DATAを、表示アドレスに対応させて記憶する。その後、表示アドレスに対応して記憶されている画像データを、映像信号IMGとして表示パネル3に向けて出力する。

【0043】表示パネル3は、入力される映像信号IMGに基づいて実際に画像の表示を行うブロックであり、本実施形態では液晶表示装置によって構成されるものを想定している。なお、表示パネル3としては、液晶表示装置に限定されるものではなく、種々の表示パネル、例えば有機ELパネルなどを用いてもよい。

【0044】図1は、表示コントローラ2の概略構成を

10

示すブロック図である。同図に示すように、表示コントローラ2は、信号入力手段4、コントロールレジスタ5、表示アドレス発生手段6、1次記憶手段7、および映像信号出力手段8を備えた構成となっている。

【0045】信号入力手段4は、中央処理装置1から送られてくる色データ信号DATAおよび制御信号CTLを入力するブロックである。この信号入力手段4は、入力した信号の種類を判別し、制御信号CTLはコントロールレジスタ5に、色データ信号DATAは1次記憶手段7に向けてそれぞれ出力する。

【0046】コントロールレジスタ5は、信号入力手段4から送られてくる制御信号CTLに含まれている情報を格納するブロックである。図3は、コントロールレジスタ5の概略構成を示すブロック図である。同図に示すように、コントロールレジスタ5は、スタートアドレス設定レジスタ9、横方向ドット数設定レジスタ10、縦方向ドット数設定レジスタ11、および回転方向設定レジスタ12を備えている。

【0047】スタートアドレス設定レジスタ9は、制御信号CTLに含まれているスタートアドレス情報を格納するレジスタである。横方向ドット数設定レジスタ10および縦方向ドット数設定レジスタ11は、制御信号CTLに含まれている画像の縦横画素数情報に基づいて、画像の横方向ドット数および縦方向ドット数をそれぞれ格納するレジスタである。回転方向設定レジスタ12は、制御信号CTLに含まれている画像の回転情報を格納するレジスタである。

【0048】表示アドレス発生手段6は、コントロールレジスタ5に記憶されているスタートアドレス情報、横方向および縦方向ドット数情報、および回転情報に基づいて、表示パネル3での実際の表示アドレスを生成するブロックである。この表示アドレス発生手段6における処理の詳細については後述する。

【0049】1次記憶手段7は、表示アドレス発生手段6によって生成された表示アドレスに基づいて、信号入力手段4から送られる色データ信号DATAを格納するメモリである。この1次記憶手段7におけるメモリアドレス空間は、表示パネル3における表示アドレスに対応するように設定されており、色データ信号DATAにおける各画素のデータは、対応する表示アドレスに従って、該当するメモリアドレスに記憶されることになる。

【0050】映像信号出力手段8は、1次記憶手段7に記憶されている画像データを、表示パネル3における表示アドレスの順番に読み出し、表示パネル3に対して映像信号IMGとして出力するブロックである。

【0051】なお、色データ信号DATAおよび制御信号CTLは、基本的には、中央処理装置1から表示コントローラ2に向けて送信されるものであるが、表示コントローラ2から中央処理装置1に向けて送信されることも可能となっている。これは、例えば、中央処理装置1

50

(7)

11

側で、表示コントローラ2内に記憶されている画像データが必要とされる時などに行われる。具体的には、中央処理装置1から表示コントローラ2に対して画像データの要求がなされた際に、1次記憶手段7から色データ信号DATAが、コントロールレジスタ5から制御信号CTLが、信号入力手段4を介して中央処理装置1に向けて送信されることになる。中央処理装置1では、受信した色データ信号DATAおよび制御信号CTLに基づいて画像データを復元することになる。

【0052】以上のような構成の表示コントローラ2における処理の流れについて以下に説明する。まず、中央処理装置1から表示コントローラ2に対して信号が入力されると、信号入力手段4において、入力された信号が制御信号CTLであるのか色データ信号DATAであるのかが判定される。入力された信号が制御信号CTLであると判定された場合、そのデータは、コントロールレジスタ5に格納される。

【0053】そして、表示アドレス発生手段6は、コントロールレジスタ5の回転方向設定レジスタ12に格納されている回転情報に基づいてアドレス回転方向を認識し、そのアドレス回転方向によるアドレス変換を実現するアルゴリズムを選択する。ここで、アドレス回転方向としては、例えば0度、90度、180度、270度などが想定される。表示アドレス発生手段6は、各回転角度に対応したアドレス変換アルゴリズムを図示しない記憶手段に記憶しているものとする。

【0054】そして、表示アドレス発生手段6は、コントロールレジスタ5のスタートアドレス設定レジスタに格納されているスタートアドレス情報、横方向ドット数設定レジスタ10および縦方向ドット数設定レジスタ11に格納されている横方向および縦方向ドット数情報を読み出して、選択されたアドレス変換アルゴリズムに基づいて表示アドレスを算出し、1次記憶手段7に出力する。

【0055】1次記憶手段7は、信号入力手段4から入力される色データ信号DATAにおける各画素のデータを、表示アドレス発生手段6から入力される表示アドレスに対応させてメモリ内の該当アドレスに記憶させる。そして、1次記憶手段7に格納された画像データは、映像信号出力手段8を介して映像信号IMGとして表示パネル3へと出力される。

【0056】次に、画像データの転送について、図4

(a)および(b)を参照しながら概念的に説明する。同図(a)は、中央処理装置1において作成された画像データの例を示しており、同図(b)は、同図(a)に示す画像データを表示パネル3の表示画面上に表示した状態を示している。このように、本実施形態における画像表示システムでは、中央処理装置1で作成された画像を、表示パネル3の表示画面上における任意の位置に表示させることが可能となっている。

12

【0057】ここで、表示パネル3の表示画面上における横方向および縦方向のドット数をそれぞれHPC、VPCとし、中央処理装置1で作成された画像の横方向および縦方向のドット数をそれぞれAWS、AHSとし、中央処理装置1で作成された画像の、表示画面上での表示開始位置、すなわちスタートアドレスをASAとする。すると、同図(a)に示す画像データを表示パネル上の所望の位置に表示させるには、スタートアドレスASA、および、画像データの横方向および縦方向のドット数AWS、AHSを指定すればよいことがわかる。なお、ASAは、コントロールレジスタ5におけるスタートアドレス設定レジスタに格納されるデータであり、AWS、AHSは、横方向ドット数設定レジスタ10および縦方向ドット数設定レジスタ11に格納されるデータである。

【0058】次に、表示アドレス発生手段6におけるアドレス変換処理について説明する。まず、回転に伴うアドレス変換について、簡単な例を用いてその概要を説明する。ここで、回転の種類としては、前記したように、0度、90度、180度、および270度の4種類を想定する。この場合、コントロールレジスタ5における回転方向設定レジスタ12は、2bitのレジスタによって構成され、回転の種類は、VWR[1:0]で示される2bitのデータによって表される。一例として、VWR1が0、VWR0が0の時に0度回転、VWR1が0、VWR0が1の時に90度回転、VWR1が1、VWR0が0の時に180度回転、VWR1が1、VWR0が1の時に270度回転をそれぞれ表すこととする。

【0059】ここで、図5に示すように、各画素に対して1～9の番号を付した3×3の画素マトリクスを想定する。そして、この画素マトリクスの中心の画素5を原点アドレスとして、2×2の画素マトリクスの範囲で回転のアドレス変換を行う場合、各回転角度におけるアドレスの順序は次の表1に示すようになる。

【0060】

【表1】

VWR1	VWR0	アドレス順序
0	0	5 → 6 → 8 → 9
0	1	5 → 8 → 4 → 7
1	0	5 → 4 → 2 → 1
1	1	5 → 2 → 6 → 3

【0061】次に、アドレス変換が0度回転の場合の処理の流れについて、図6に示すフローチャートに基づいて説明する。まず、中央処理装置1から制御信号CTLが表示コントローラ2に入力され、信号入力手段4を介して、この制御信号CTLがコントロールレジスタ5に入力される。そして、制御信号CTLに含まれているス

(8)

13

タートアドレスASAが、コントロールレジスタ5におけるスタートアドレス設定レジスタ9にセットされる(ステップ1、以降、S1のように称する)。

【0062】また、制御信号CTLに含まれている横方向ドット数AWSが、コントロールレジスタ5における横方向ドット数設定レジスタ10にセットされ(S2)、縦方向ドット数AHSが、縦方向ドット数設定レジスタ11にセットされる(S3)。さらに、制御信号CTLに含まれている回転方向を表すデータVRが、コントロールレジスタ5における回転方向設定レジスタ12にセットされる。

【0063】表示アドレス発生手段6は、回転方向設定レジスタ12にセットされている回転情報を参照し、0度回転であることを確認すると、0度回転を実現するアルゴリズムを選択し(S5)、アドレスの自動生成、すなわちアドレス変換処理が開始される(S6)。

【0064】ここで、元の画像における各画素のアドレスを、横方向アドレスN($0 \leq N \leq AWS$)および縦方向アドレスM($0 \leq M \leq AHS$)とし、初期値をN=M=0とする。そして、変換後のアドレスTADを、
$$TAD = ASA + M \times HPC + N \quad (1)$$
なる式によって算出する(S7)。

【0065】なお、変換後のアドレスTADは、表示パネル3における表示画面の各画素のアドレスを1次元で表現したものとなっている。すなわち、例えば表示パネル3の表示画面が、横120縦160の画素マトリクスとなっている場合、一番上の横1ラインのアドレスは1~120となり、その1ライン下の横1ラインのアドレスは121~240となり、一番下の横1ラインのアドレスは19080~19200となる。

【0066】上記の(1)式によって変換後のアドレスTADが算出されると、1次記憶手段7における該当するアドレスに、色データ信号DATAの該当する画素のデータが書き込まれる(S8)。そして、S9において、N=AWSになったか否かが判定され、NOの場合には、Nの値が1加算されて(S11)、再びS7からの処理が行われる。

【0067】一方、S9において、N=AWSとなったと判定された場合(S9においてYES)、S10において、M=AHSになったか否かが判定される。M=AHSとなっていないと判定された場合(S10においてNO)には、Mの値が1加算されるとともに、Nの値が0にリセットされ(S12)、再びS7からの処理が行われる。一方、S10においてM=AHSになったと判定された場合(S10においてYES)、全てのアドレスが変換されたことになり、アドレス変換処理が終了する。

【0068】次に、アドレス変換が90度回転の場合の処理の流れについて、図7に示すフローチャートに基づいて説明する。まず、S21からS24までの処理は、

14

図6に示すフローチャートにおけるS1からS4までの処理と同様であるので、ここではその説明を省略する。

【0069】表示アドレス発生手段6は、回転方向設定レジスタ12にセットされている回転情報を参照し、90度回転であることを確認すると、90度回転を実現するアルゴリズムを選択し(S25)、アドレスの自動生成、すなわちアドレス変換処理が開始される(S26)。

【0070】ここで、0度回転のときと同様に、元の画像における各画素のアドレスを、横方向アドレスN($0 \leq N \leq AWS$)および縦方向アドレスM($0 \leq M \leq AHS$)とし、初期値をN=M=0とする。そして、変換後のアドレスTADを、

$$TAD = ASA + N \times HPC - M \quad (2)$$

なる式によって算出する(S27)。

【0071】上記の(2)式によって変換後のアドレスTADが算出されると、1次記憶手段7における該当するアドレスに、色データ信号DATAの該当する画素のデータが書き込まれる(S28)。そして、S29において、M=AHSになったか否かが判定され、NOの場合には、Mの値が1加算されて(S31)、再びS27からの処理が行われる。

【0072】一方、S29において、M=AHSとなったと判定された場合(S29においてYES)、S30において、N=AWSになったか否かが判定される。N=AWSとなっていないと判定された場合(S30においてNO)には、Nの値が1加算されるとともに、Mの値が0にリセットされ(S32)、再びS27からの処理が行われる。一方、S30においてN=AWSとなったと判定された場合(S30においてYES)、全てのアドレスが変換されたことになり、アドレス変換処理が終了する。

【0073】次に、アドレス変換が180度回転の場合の処理の流れについて、図8に示すフローチャートに基づいて説明する。まず、S41からS44までの処理は、図6に示すフローチャートにおけるS1からS4までの処理と同様であるので、ここではその説明を省略する。

【0074】表示アドレス発生手段6は、回転方向設定レジスタ12にセットされている回転情報を参照し、180度回転であることを確認すると、180度回転を実現するアルゴリズムを選択し(S45)、アドレスの自動生成、すなわちアドレス変換処理が開始される(S46)。

【0075】ここで、0度回転のときと同様に、元の画像における各画素のアドレスを、横方向アドレスN($0 \leq N \leq AWS$)および縦方向アドレスM($0 \leq M \leq AHS$)とし、初期値をN=M=0とする。そして、変換後のアドレスTADを、

$$TAD = ASA - M \times HPC - N \quad (3)$$

(9)

15

なる式によって算出する (S47)。

【0076】上記の(3)式によって変換後のアドレスTADが算出されると、1次記憶手段7における該当するアドレスに、色データ信号DATAの該当する画素のデータが書き込まれる (S48)。そして、S49において、 $N=AWS$ になったか否かが判定され、NOの場合には、Nの値が1加算されて (S51)、再びS47からの処理が行われる。

【0077】一方、S49において、 $N=AWS$ となったと判定された場合 (S49においてYES)、S50において、 $M=AH S$ になったか否かが判定される。M = AHSとなっていないと判定された場合 (S50においてNO) には、Mの値が1加算されるとともに、Nの値が0にリセットされ (S52)、再びS47からの処理が行われる。一方、S50において $M=AH S$ となったと判定された場合 (S50においてYES)、全てのアドレスが変換されたことになり、アドレス変換処理が終了する。

【0078】次に、アドレス変換が270度回転の場合の処理の流れについて、図9に示すフローチャートに基づいて説明する。まず、S61からS64までの処理は、図6に示すフローチャートにおけるS1からS4までの処理と同様であるので、ここではその説明を省略する。

【0079】表示アドレス発生手段6は、回転方向設定レジスタ12にセットされている回転情報を参照し、270度回転であることを確認すると、270度回転を実現するアルゴリズムを選択し (S65)、アドレスの自動生成、すなわちアドレス変換処理が開始される (S66)。

【0080】ここで、0度回転のときと同様に、元の画像における各画素のアドレスを、横方向アドレスN ($0 \leq N \leq AWS$) および縦方向アドレスM ($0 \leq M \leq AH S$) とし、初期値を $N=M=0$ とする。そして、変換後のアドレスTADを、

$$TAD = ASA - N \times HPC + M \quad (4)$$

なる式によって算出する (S67)。

【0081】上記の(4)式によって変換後のアドレスTADが算出されると、1次記憶手段7における該当するアドレスに、色データ信号DATAの該当する画素のデータが書き込まれる (S68)。そして、S69において、 $M=AH S$ になったか否かが判定され、NOの場合には、Mの値が1加算されて (S71)、再びS67からの処理が行われる。

【0082】一方、S69において、 $M=AH S$ となったと判定された場合 (S69においてYES)、S70において、 $N=AWS$ になったか否かが判定される。N = AWSとなっていないと判定された場合 (S70においてNO) には、Nの値が1加算されるとともに、Mの値が0にリセットされ (S72)、再びS67からの処

16

理が行われる。一方、S70において $N=AWS$ になったと判定された場合 (S70においてYES)、全てのアドレスが変換されたことになり、アドレス変換処理が終了する。

【0083】次に、上記のようなアドレス変換処理を実現するための、表示アドレス発生手段6の具体的な構成例について説明する。図10は、上記の0度回転のアドレス変換処理を行う表示アドレス発生手段6の構成例を示すブロック図である。同図に示すように、この表示アドレス発生手段6は、比較回路13・14、横方向ドット数カウンタ15、縦方向ドット数カウンタ16、および表示アドレス演算手段17を備えた構成となっている。

【0084】横方向ドット数カウンタ15は、上記の横方向アドレスNをカウントするカウンタである。縦方向ドット数カウンタ16は、上記の縦方向アドレスMをカウントするカウンタである。比較回路13は、コントロールレジスタ5内の横方向ドット数設定レジスタ10に設定されている値 (AWS) と、横方向ドット数カウンタ15でカウントされている値 (N) とを比較する回路である。比較回路14は、コントロールレジスタ5内の縦方向ドット数設定レジスタに設定されている値 (AHS) と、縦方向ドット数カウンタ16でカウントされている値 (M) とを比較する回路である。表示アドレス演算手段17は、横方向ドット数カウンタ15でカウントされている値 (N)、縦方向ドット数カウンタ16でカウントされている値 (M)、およびスタートアドレス設定レジスタ9に設定されているスタートアドレスASAに基づいて、上記(1)式の演算を行うブロックである。

【0085】このような構成の表示アドレス発生手段6における処理は次のようになる。まず、初期状態として、横方向ドット数カウンタ15におけるカウント数 (N)、および、縦方向ドット数カウンタ16におけるカウント数 (M) の値を0にセットする。

【0086】そして、横方向ドット数カウンタ15におけるカウントアップが行われ、カウントアップが行われるごとに、表示アドレス演算手段17において該当するアドレスの変換演算が行われる。変換されたアドレスは、1次記憶手段7に対してメモリアドレスとして出力される。横方向ドット数カウンタ15におけるカウントアップの間中、比較回路13は、横方向ドット数カウンタ15においてカウントされている値 (N) と、横方向ドット数設定レジスタ10に設定されている値 (AWS) との比較を行う。

【0087】そして、比較回路13において、カウント値 (N) と設定値 (AWS) とが一致したと判定されると、比較回路13から横方向ドット数カウンタ15に向けてリセット信号が送信され、横方向ドット数カウンタ15におけるカウント値 (N) が0にリセットされる。

(10)

17

またこれと同時に、比較回路13から縦方向ドット数カウンタ16に向けてカウントアップ信号が送信され、縦方向ドット数カウンタ16におけるカウント値(M)がカウントアップされる。

【0088】このようにして縦方向ドット数カウンタ16においてカウントアップが行われている間中、比較回路14は、縦方向ドット数カウンタ16においてカウントされている値(M)と、縦方向ドット数設定レジスタ11に設定されている値(AHS)との比較を行う。

【0089】そして、比較回路14において、カウント値(M)と設定値(AHS)とが一致したと判定されると、比較回路14から縦方向ドット数カウンタ16に向けてリセット信号が送信され、縦方向ドット数カウンタ16におけるカウント値(M)が0にリセットされる。またこれと同時に、比較回路14から、1次記憶手段7に向けて転送終了信号が送信される。1次記憶手段7は、転送終了信号を受信することによって、1画像分の画像データの転送が終了したことを検出する。

【0090】なお、0度回転のアドレス変換処理と、180度回転のアドレス変換処理とでは、図6および図8に示すフローチャートを比較すればわかるように、アドレス変換に関する式が異なるだけである。よって、180度回転のアドレス変換処理を行う表示アドレス発生手段6の構成も、図10に示す構成と同様の構成で実現することができる。

【0091】また、図11は、上記の90度回転のアドレス変換処理を行う表示アドレス発生手段6の構成例を示すブロック図である。この構成は、図10に示す構成と比較して、各構成要素は同じであるが、信号の流れおよび処理の流れが異なっている。以下に、図11に示す構成の表示アドレス発生手段6における処理の流れについて説明する。

【0092】まず、初期状態として、横方向ドット数カウンタ15におけるカウント数(N)、および、縦方向ドット数カウンタ16におけるカウント数(M)の値を0にセットする。

【0093】そして、縦方向ドット数カウンタ16におけるカウントアップが行われ、カウントアップが行われるごとに、表示アドレス演算手段17において該当するアドレスの変換演算が行われる。変換されたアドレスは、1次記憶手段7に対してメモリアドレスとして出力される。縦方向ドット数カウンタ16におけるカウントアップの間中、比較回路14は、縦方向ドット数カウンタ16においてカウントされている値(M)と、縦方向ドット数設定レジスタ11に設定されている値(AHS)との比較を行う。

【0094】そして、比較回路14において、カウント値(M)と設定値(AHS)とが一致したと判定されると、比較回路14から縦方向ドット数カウンタ16に向けてリセット信号が送信され、縦方向ドット数カウンタ

18

16におけるカウント値(M)が0にリセットされる。またこれと同時に、比較回路14から横方向ドット数カウンタ15に向けてカウントアップ信号が送信され、横方向ドット数カウンタ15におけるカウント値(N)がカウントアップされる。

【0095】このようにして横方向ドット数カウンタ15においてカウントアップが行われている間中、比較回路13は、横方向ドット数カウンタ15においてカウントされている値(N)と、横方向ドット数設定レジスタ10に設定されている値(AWS)との比較を行う。

【0096】そして、比較回路13において、カウント値(N)と設定値(AWS)とが一致したと判定されると、比較回路13から横方向ドット数カウンタ15に向けてリセット信号が送信され、横方向ドット数カウンタ15におけるカウント値(N)が0にリセットされる。またこれと同時に、比較回路13から、1次記憶手段7に向けて転送終了信号が送信される。1次記憶手段7は、転送終了信号を受信することによって、1画像分の画像データの転送が終了したことを検出する。

【0097】なお、90度回転のアドレス変換処理と、270度回転のアドレス変換処理とでは、図7および図9に示すフローチャートを比較すればわかるように、アドレス変換に関する式が異なるだけである。よって、270度回転のアドレス変換処理を行う表示アドレス発生手段6の構成も、図11に示す構成と同様の構成で実現することができる。

【0098】上記した構成では、表示アドレス発生手段6から1次記憶手段7に送信される変換後のアドレスは、1次元で表現されたものとしている。すなわち、上記の(1)から(4)式は、1次元表示のアドレスを算出する演算となっているが、これに限定されるものではなく、表示アドレス発生手段6において2次元表示のアドレスを算出し、これを1次記憶手段7に送信する構成としてもよい。以下に、2次元表示のアドレスを算出する演算について説明する。

【0099】ここで、スタートアドレスASAのX成分の座標値をSX、Y成分の座標値をSYとし、変換後のアドレスのX成分をTX、Y成分をTYとする。まず、0度回転の場合のアドレス変換演算式は、

$$TX = SX + N, \quad TY = SY + M \quad (5)$$

となる。90度回転の場合のアドレス演算式は、

$$TX = SX - N, \quad TY = SY + M \quad (6)$$

となる。180度回転の場合のアドレス演算式は、

$$TX = SX - N, \quad TY = SY - M \quad (7)$$

となる。270度回転の場合のアドレス演算式は、

$$TX = SX + N, \quad TY = SY - M \quad (8)$$

となる。

【0100】以上のように、表示アドレス発生手段6から1次記憶手段7に送信される変換後のアドレスは、1次元であっても2次元であってもよい。しかしながら、

(11)

19

1次元アドレスを用いる場合には、次のようなメリットがある。

【0101】まず、中央処理装置1におけるCPUのアドレスマップが、基本的には1次元座標となっているので、表示コントローラ2において2次元アドレスを用いるとなると、1次元アドレスを2次元アドレスに変換する構成が、中央処理装置1側、あるいは表示コントローラ2側に設ける必要が生じることになる。1次元アドレスを用いる場合には、このような構成は不要であり、構成の簡素化を図ることができる。

【0102】また、2次元アドレスを用いる場合には、上記のように、スタートアドレスも2次元で考慮しなければならないことになり、コントロールレジスタ5におけるスタートアドレス設定レジスタ9を2次元分設ける必要が生じる。また、アドレスを1次元で表示する場合、2次元で表示する場合よりも必要とされるbit数が少なくなる場合もあり、処理の簡素化を図ることができる。

【0103】なお、上記の構成では、アドレス変換の例として画像を回転させる例を示したが、画像の左右を反転させるアドレス変換を行う構成とすることも可能である。このような画像の左右を反転させるアドレス変換は、例えば表示した画像をミラーに反射させて人に見せる場合や、ミラーに反射された像を撮影した画像を表示する場合などに用いられるものである。

【0104】まず、制御信号CTLに、左右反転に関する情報を含めるとともに、コントロールレジスタ5に、左右反転に関する情報を格納するレジスタを設ける。ここで、左右反転に関する情報としては、左右反転を行うか行わないかの2値情報でよいので、左右反転に関する情報を格納するレジスタは1ビットでよいことになる。

【0105】左右反転を行う際の処理の流れを図12に示す。まず、S81からS84までの処理は、図6に示すフローチャートにおけるS1からS4までの処理と同様であるので、ここではその説明を省略する。

【0106】表示アドレス発生手段6は、左右反転に関する情報を格納するレジスタにセットされている左右反転情報を参照し、左右反転を行うことを確認すると、左右反転を実現するアルゴリズムを選択し(S85)、アドレスの自動生成、すなわちアドレス変換処理が開始される(S86)。

【0107】ここで、0度回転のときと同様に、元の画像における各画素のアドレスを、横方向アドレスN($0 \leq N \leq AWS$)および縦方向アドレスM($0 \leq M \leq AHS$)とし、初期値をN=M=0とする。そして、変換後のアドレスTADを、

$$TAD = ASA + M \times HPC - N \quad (9)$$

なる式によって算出する(S87)。

【0108】上記の(9)式によって変換後のアドレスTADが算出されると、1次記憶手段7における該当す

20

るアドレスに、色データ信号DATAの該当する画素のデータが書き込まれる(S88)。そして、S89において、N=AWSになったか否かが判定され、NOの場合には、Nの値が1加算されて(S91)、再びS87からの処理が行われる。

【0109】一方、S89において、N=AWSとなったと判定された場合(S89においてYES)、S90において、M=AHSになったか否かが判定される。M=AHSとなっていないと判定された場合(S90においてNO)には、Mの値が1加算されるとともに、Nの値が0にリセットされ(S92)、再びS97からの処理が行われる。一方、S90においてM=AHSとなったと判定された場合(S90においてYES)、全てのアドレスが変換されたことになり、アドレス変換処理が終了する。

【0110】上記のような左右反転のアドレス変換処理を行う表示アドレス発生手段6の構成例としては、図10に示す構成が挙げられる。すなわち、左右反転の場合、0度回転、180度回転を行う構成と同様の構成で実現することが可能であり、表示アドレス演算手段17における処理を変えればよいことになる。

【0111】また、上記の(9)式は、1次元表示のアドレスを算出する演算となっているが、これに限定されるものではなく、回転変換の場合と同様に、表示アドレス発生手段6において2次元表示のアドレスを算出し、これを1次記憶手段7に送信する構成としてもよい。この場合のアドレス変換演算式は、

$$TX = SX - N, \quad TY = SY + M \quad (10)$$

となる。

【0112】なお、この(10)式は、90度回転の演算式である(6)式と同様であるが、先に横方向のカウントアップし、その後、縦方向のカウントアップすることによって、左右反転が行われることになる。

【0113】次に、上記の(1)～(4)式、および(9)式において用いられている横方向表示パネルドット数HPCの設定について説明する。基本的には、横方向表示パネルドット数HPCは、使用する表示パネル3が固定である場合には変更する必要がないので、例えば表示アドレス発生手段6内に固定的に記憶しておけばよい。しかしながら、使用する表示パネル3が固定でない場合、使用する表示パネル3の種類に応じて横方向表示パネルドット数HPCが変化することになる。

【0114】このような場合に対応するために、コントロールレジスタ5内に、横方向表示パネルドット数HPCを格納する横方向画素数レジスタを設ける構成としてもよい。この場合、中央処理装置1が、横方向表示パネルドット数HPCを示す信号を制御信号CTLに含めて表示コントローラ2に送信し、この信号の情報がコントロールレジスタ5内の横方向画素数レジスタに格納され

(12)

21

るように設計すればよい。そして、表示アドレス発生手段6においてアドレス変換演算を行う際には、この横方向画素数レジスタに格納されている横方向表示パネルドット数HPCを取り出して演算を行うようにする。

【0115】このような構成とすれば、中央処理装置1から横方向表示パネルドット数HPCを設定することが可能となるので、様々な大きさの表示パネル3を用いる場合にも、容易に設定を変更し、的確に対応することが可能となる。

【0116】

【発明の効果】以上のように、本発明に係る表示コントローラは、外部装置から、画像データ、および、該画像データにおける各画素のアドレスの変換方法を示すアドレス変換パラメータを入力し、表示パネルに対して映像信号を出力する表示コントローラであって、上記アドレス変換パラメータに基づいて、表示パネルにおける表示アドレスを生成する表示アドレス発生手段と、上記表示アドレス発生手段によって生成された表示アドレスに基づいて、上記画像データを映像信号として出力する映像信号出力手段とを備えている構成である。

【0117】これにより、従来のように、外部装置と表示コントローラとの間にアドレスデータ信号を伝送するための複数bit幅のアドレスバスを設ける必要がないことになる。よって、複数bit幅のアドレスバスを設ける場合の問題点、すなわち、端子が増大することによる実装面積の増大の問題や、アドレスバスの寄生容量による消費電流の増大の問題、EMIの問題などを解消することができるという効果を奏する。

【0118】また、アドレスの変換処理は、表示アドレス発生手段によって行われるので、従来のように、外部装置においてアドレスの変換処理を行わなくて済むことになる。よって、外部装置における処理上の負担を軽減することが可能となるという効果を奏する。

【0119】また、本発明に係る表示コントローラは、上記外部装置から入力されたアドレス変換パラメータを一時的に格納するコントロールレジスタをさらに備えている構成である。

【0120】これにより、上記の構成による効果に加えて、外部装置から表示コントローラへ送られるアドレス変換パラメータは、その内容を変更する必要が生じたときにのみ送信されればよいことになるので、外部装置から表示コントローラへ送られる信号のデータ量を必要最小限とすることができる。したがって、信号の転送に伴う処理の負担や消費電力を低減することが可能となるという効果を奏する。

【0121】また、本発明に係る表示コントローラは、上記表示パネルにおけるアドレスに対応したアドレス空間を有するメモリからなる1次記憶手段をさらに備え、上記表示アドレス発生手段で生成された表示アドレスに基づいて、上記画像データが上記1次記憶手段における

22

該当アドレスに記憶される構成である。

【0122】これにより、上記の構成による効果に加えて、1次記憶手段の記憶容量としては、画像データを記憶することが可能な程度でよいことになり、例えば表示アドレスと画像データとを組で記憶しなければならない構成と比較して、必要とされる記憶容量を少なくすることができる。よって、装置のコストを低減することができるとともに、実装面積を低減することができるという効果を奏する。

10 【0123】また、本発明に係る表示コントローラは、上記アドレス変換パラメータが、入力された画像データを回転させる角度に関する情報、および／または左右反転させるか否かに関する情報を含んでいる構成である。

【0124】これにより、上記の構成による効果に加えて、アドレス変換パラメータに上記のような情報を適宜含めることによって、オペレータが所望とするアドレス変換処理を表示コントローラが行うことを可能とすることができるという効果を奏する。

20 【0125】また、本発明に係る表示コントローラは、上記アドレス変換パラメータが、入力された画像データを上記表示パネル上に表示させる際のスタートアドレスに関する情報と、入力された画像データの横方向および縦方向のドット幅に関する情報とを含んでいる構成である。

【0126】これにより、上記の構成による効果に加えて、表示パネルにおける任意の表示位置に、任意の大きさの画像を表示させることが可能となるという効果を奏する。また、表示パネルに表示されている画像の一部のみを書き換えるというような処理も可能となるという効果を奏する。

30 【0127】また、本発明に係る表示コントローラは、上記アドレス変換パラメータが、上記表示パネルのドット数に関する情報を含んでいる構成である。

【0128】これにより、上記の構成による効果に加えて、例えば様々な大きさの表示パネルを用いる場合にも、外部装置側から容易に設定を変更することが可能となり、用いる表示パネルのドット数に最適なアドレス変換を行うことが可能となるという効果を奏する。

40 【0129】また、本発明に係る表示コントローラは、上記表示アドレス発生手段によって生成される表示アドレスが、1次元形式で表されているものである構成である。

【0130】これにより、上記の構成による効果に加えて、1次元アドレスを2次元アドレスに変換する構成というような構成が不要となり、構成の簡素化を図ることができるという効果を奏する。

50 【0131】また、アドレスを1次元で表示する場合、2次元で表示する場合よりも必要とされるbit数が少なくなる場合もあり、処理の簡素化を図ることができるという効果を奏する。

(13)

23

【0132】また、本発明に係る表示制御方法は、外部装置から、画像データ、および、該画像データにおける各画素のアドレスの変換方法を示すアドレス変換パラメータを入力し、表示パネルに対して映像信号を出力する表示コントローラにおける表示制御方法であって、上記アドレス変換パラメータに基づいて、表示パネルにおける表示アドレスを生成するステップと、上記表示アドレス発生手段によって生成された表示アドレスに基づいて、上記画像データを映像信号として出力するステップとを有している方法である。

【0133】これにより、従来のように、外部装置と表示コントローラとの間にアドレスデータ信号を伝送するための複数bit幅のアドレスバスを設ける必要がないことになる。よって、複数bit幅のアドレスバスを設ける場合の問題点、すなわち、端子が増大することによる実装面積の増大の問題や、アドレスバスの寄生容量による消費電流の増大の問題、EMIの問題などを解消することができるという効果を奏する。

【0134】また、従来のように、外部装置においてアドレスの変換処理を行わなくて済むことになるので、外部装置における処理上の負担を軽減することが可能となり、システムにおける処理能力の上限を向上させることができるという効果を奏する。

【0135】また、本発明に係る画像表示システムは、画像データの編集処理を行う中央処理装置と、上記中央処理装置から、画像データおよびアドレス変換パラメータを入力し、映像信号を出力する上記の表示コントローラと、上記表示コントローラから出力された映像信号に基づいて、画像の表示を行う表示パネルとを備えている構成である。

【0136】これにより、従来のように、中央処理装置と表示コントローラとの間にアドレスデータ信号を伝送するための複数bit幅のアドレスバスを設ける必要がないことになるので、複数bit幅のアドレスバスを設ける場合の問題点、すなわち、端子が増大することによる実装面積の増大の問題や、アドレスバスの寄生容量による消費電流の増大の問題、EMIの問題などの生じない画像表示システムを提供することができるという効果を奏する。

【0137】また、中央処理装置における処理上の負担を軽減することが可能となる。よって、例えば高解像度の動画表示などのように、外部装置での負担が大きくなるような場合でも、アドレス変換処理に要する負担を表示コントローラ側で担うことによって、画像表示システムにおける処理能力の上限を向上させることができると

24

いう効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る表示コントローラの概略構成を示すブロック図である。

【図2】本実施形態に係る画像表示システムの概略構成を示すブロック図である。

【図3】上記表示コントローラが備えるコントロールレジスタの概略構成を示すブロック図である。

【図4】同図(a)は、中央処理装置において作成された画像データの例を示しており、同図(b)は、同図(a)に示す画像データを表示パネルの表示画面上に表示した状態を示す説明図である。

【図5】各画素に対して1~9の番号を付した3×3の画素マトリクスを示す説明図である。

【図6】アドレス変換が0度回転の場合の処理の流れを示すフローチャートである。

【図7】アドレス変換が90度回転の場合の処理の流れを示すフローチャートである。

【図8】アドレス変換が180度回転の場合の処理の流れを示すフローチャートである。

【図9】アドレス変換が270度回転の場合の処理の流れを示すフローチャートである。

【図10】0度回転、180度回転、および左右反転のアドレス変換処理を行う表示アドレス発生手段の構成例を示すブロック図である。

【図11】90度回転、270度回転のアドレス変換処理を行う表示アドレス発生手段の構成例を示すブロック図である。

【図12】アドレス変換が左右反転の場合の処理の流れを示すフローチャートである。

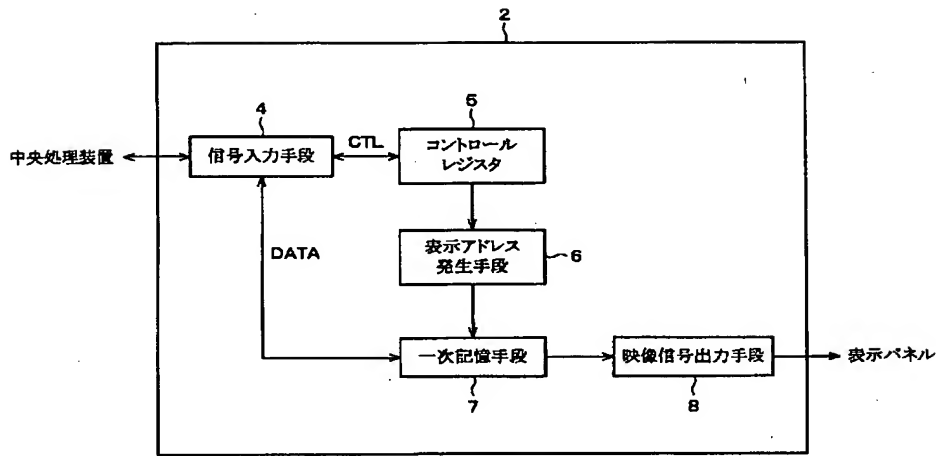
【図13】従来の表示システムの構成例の概略を示すブロック図である。

【符号の説明】

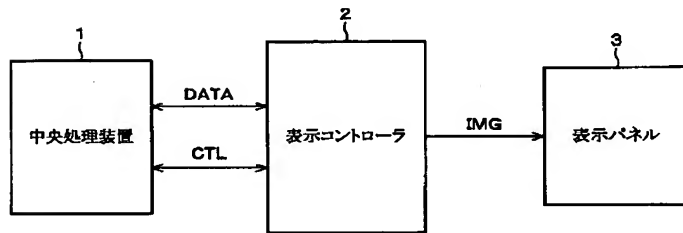
- 1 中央処理装置
- 2 表示コントローラ
- 3 表示パネル
- 4 信号入力手段
- 5 コントロールレジスタ
- 6 表示アドレス発生手段
- 7 1次記憶手段
- 8 映像信号出力手段
- 9 スタートアドレス設定レジスタ
- 10 横方向ドット数設定レジスタ
- 11 縦方向ドット数設定レジスタ
- 12 回転方向設定レジスタ

(14)

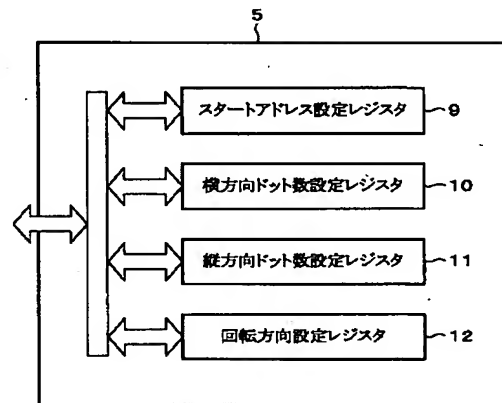
【図1】



【図2】



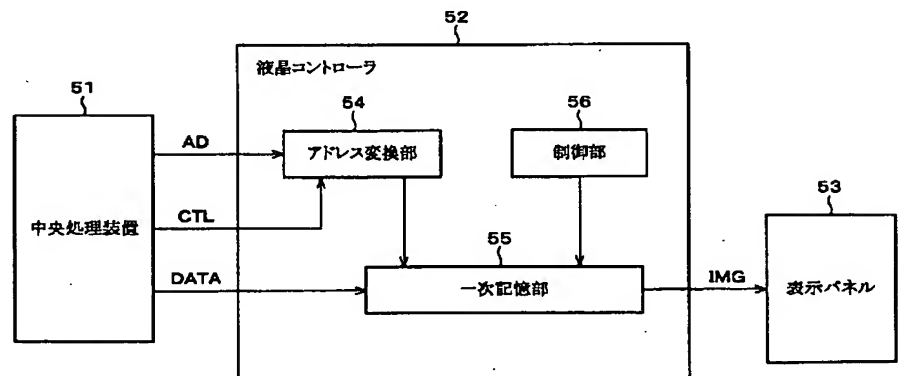
【図3】



【図5】

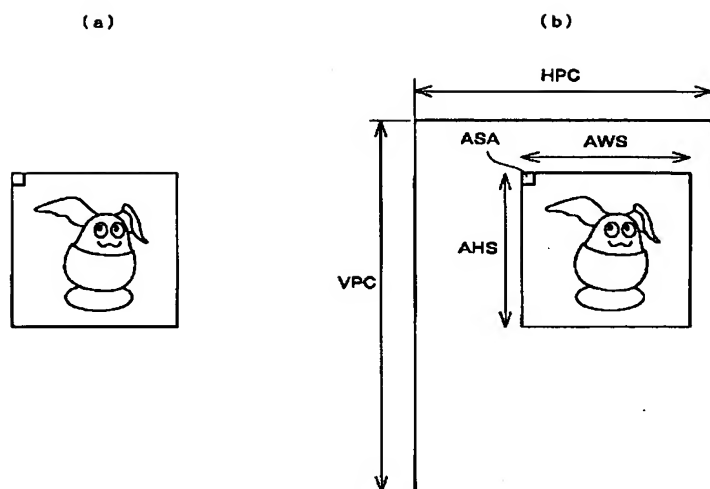
1	2	3
4	5	6
7	8	9

【図13】

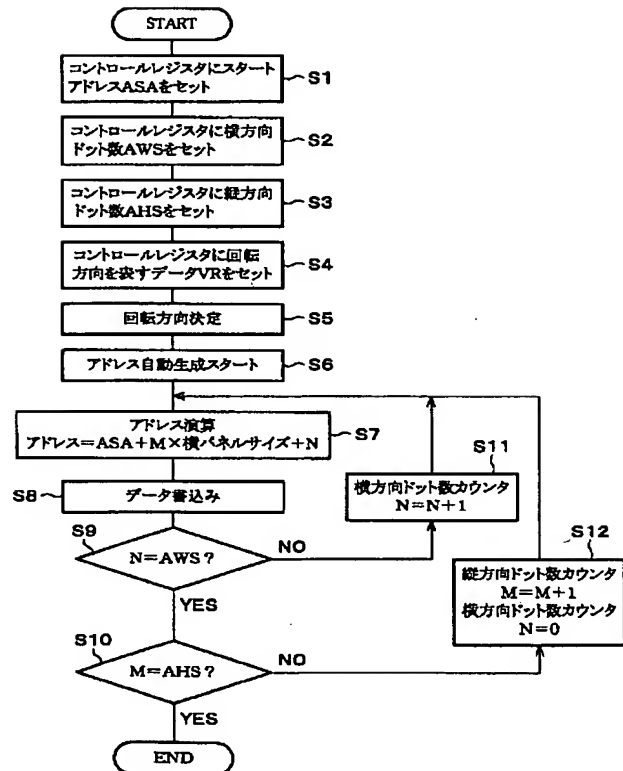


(15)

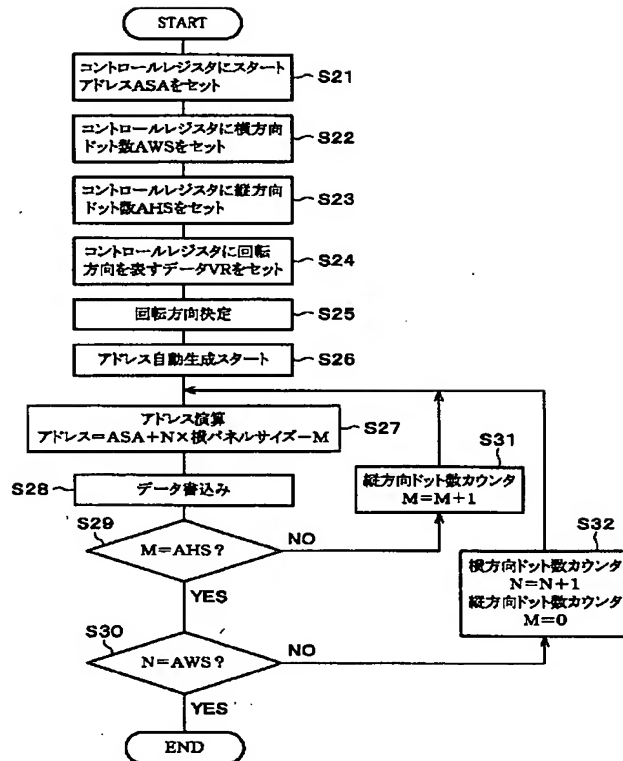
【図4】



【図6】

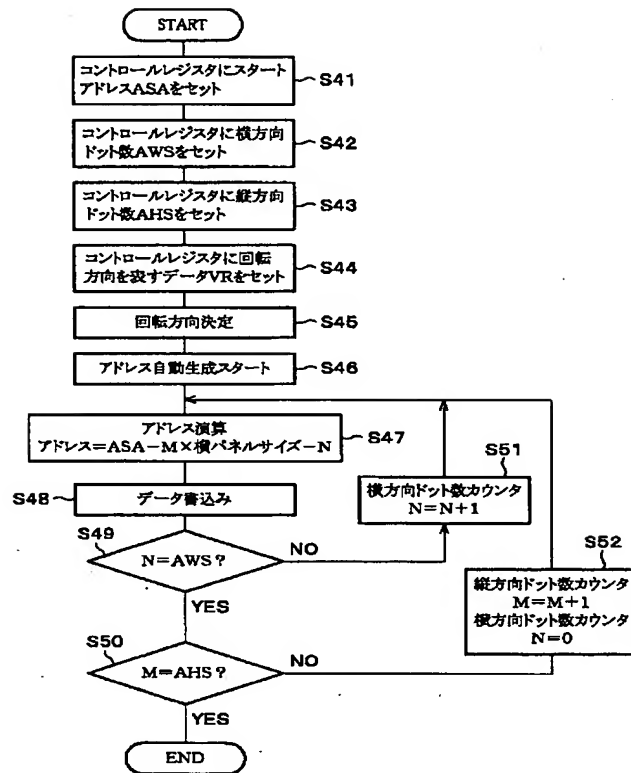


【図7】

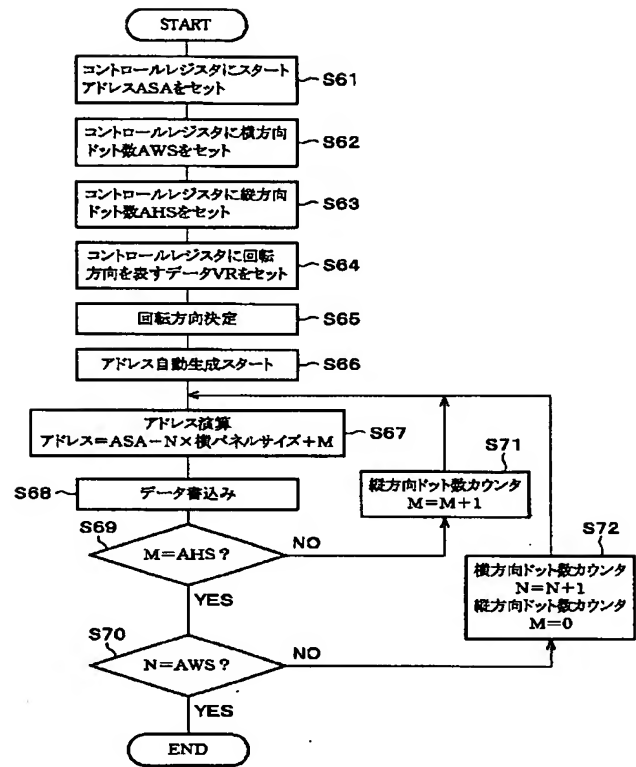


(16)

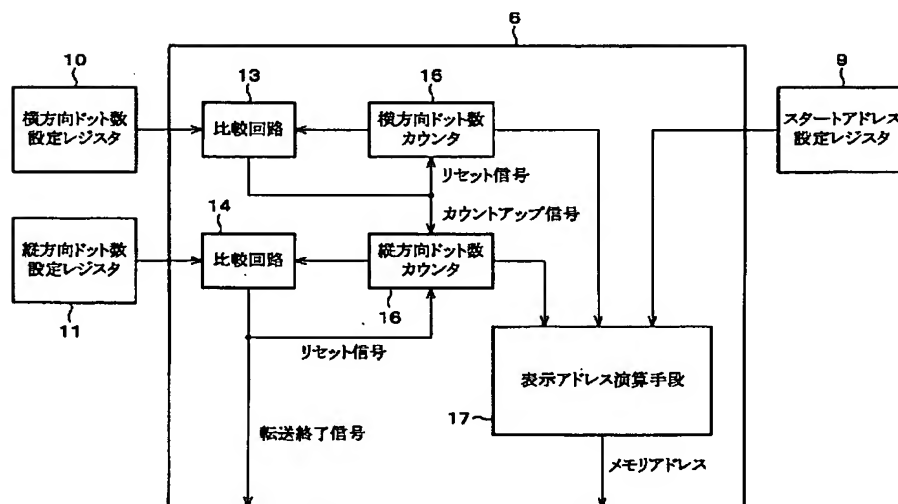
【図8】



【図9】

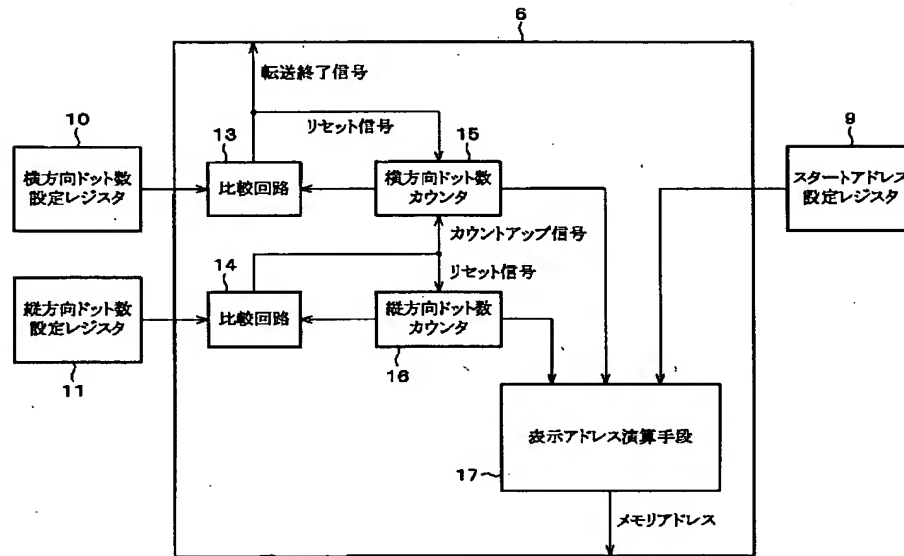


【図10】

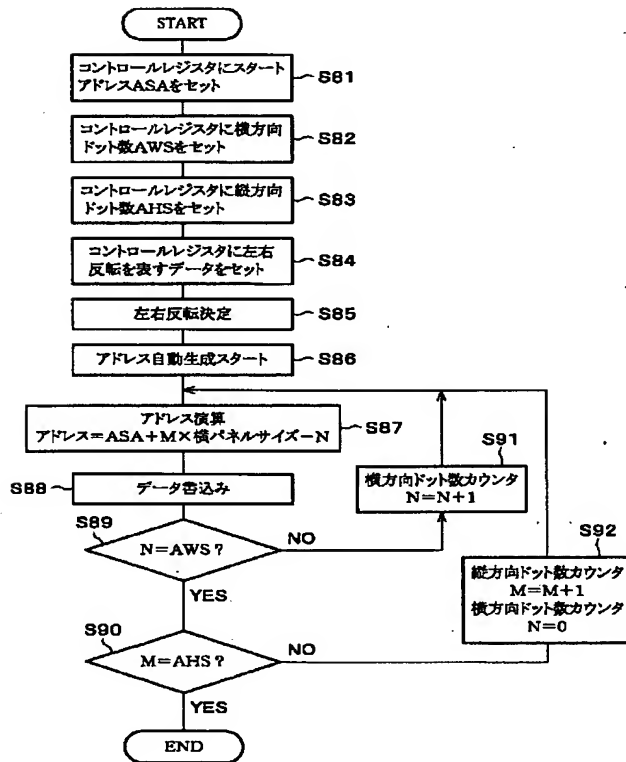


(17)

【図11】



【図12】



(18)

フロントページの続き

(72) 発明者 渡辺 泰之
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 阪本 晃
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

Fターム(参考) 5C006 AA28 AC21 AF03 AF22 AF44
BB11 BC16 BF02 FA12 FA32
5C082 AA01 BA02 BA12 BA31 BA34
BA35 BB15 BB22 CA44 CA52
DA54 DA64 MM02